

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-293374

(43)公開日 平成9年 (1997) 11月11日

(51)Int. Cl. ⁶

G 1 1 C 11/401
11/407

識別記号

庁内整理番号

F I

G 1 1 C 11/34

3 6 2
3 5 4

技術表示箇所

C
C

審査請求 未請求 請求項の数32 O L (全 49 頁)

(21)出願番号 特願平8-107926

(22)出願日 平成8年 (1996) 4月26日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三菱
電機株式会社内

(74)代理人 弁理士 深見 久郎 (外3名)

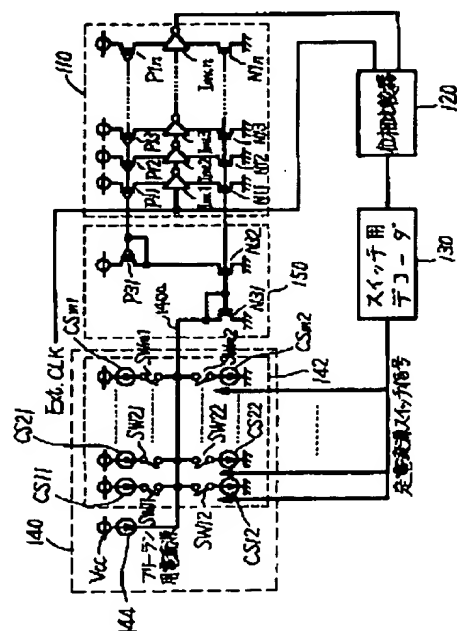
(54)【発明の名称】同期型半導体記憶装置

(57)【要約】

【課題】 外部クロック信号に対する同期動作完了までの時間を短縮することが可能な内部同期信号発生回路を有する同期型半導体記憶装置を提供する。

【解決手段】 同期信号発生回路100は、外部クロック信号Ext. CLKを受けて、所定の時間遅延して出力する遅延回路110と、遅延回路110の出力と外部クロック信号Ext. CLKの位相を比較する位相比較器120と、位相比較器120の比較結果に基づいて、出力ノード140aに供給する定電流値をデジタル的に変化させる可変定電流源回路140と、出力ノード140aに供給される定電流値に応じて、遅延回路110の遅延量を調整する遅延制御回路150とを含む。遅延回路110の遅延量が、位相比較結果に応じて線形に変化する定電流値に応じて制御される。

100



1

【特許請求の範囲】

【請求項1】 外部クロック信号に同期して記憶データを出力する同期型半導体記憶装置であって、行列状に配置される複数のメモリセルを有するメモリセルアレイと、ロウアドレスストロブ信号の活性化時に活性化され、行アドレス信号に応じて前記メモリセルアレイの対応する行を選択する行選択手段と、前記ロウアドレスストロブ信号の活性化に応じて前記外部クロック信号に対する同期動作を開始し、前記外部クロック信号に同期した内部クロック信号を出力する内部同期信号発生手段と、コラムアドレスストロブ信号の活性化時に活性化され、列アドレス信号に応じて前記メモリセルアレイの対応する列を選択し、選択された前記行および列に対応する前記メモリセルの記憶データを読出す列選択手段と、前記列選択手段からの前記記憶データを受けて、前記内部クロック信号に同期して出力するデータ出力手段とを備える、同期型半導体記憶装置。

【請求項2】 前記内部クロック信号をそれぞれ所定時間遅延させた複数の内部制御信号を出力する内部制御信号発生手段をさらに備え、前記列選択手段の列選択動作および記憶データ読出動作ならびに前記データ出力手段の記憶データ出力動作は、前記内部制御信号に制御される、請求項1記載の同期型半導体記憶装置。

【請求項3】 前記内部同期信号発生手段は、前記外部クロック信号を受け、遅延して前記内部クロック信号として出力する可変遅延手段と、前記外部クロック信号および前記可変遅延手段の出力を受けて、位相差を検出する位相比較手段と、前記位相比較手段の検出結果に応じて、定電流値制御信号を出力するデコード手段と、前記定電流値制御信号に応じて、出力ノードに供給する定電流値を変化させる可変定電流供給手段とを含み、前記可変定電流供給手段は、各々が所定の電流を供給する複数の第1の定電流源と、前記複数の第1の定電流源と前記出力ノードとの間にそれぞれ接続され、前記定電流値制御信号に制御されて開閉する複数の第1のスイッチ手段と、各々が所定の電流を受入れる複数の第2の定電流源と、前記出力ノードと前記複数の第2の定電流源との間にそれぞれ接続され、前記定電流値制御信号に制御されて開閉する複数の第2のスイッチ手段とを有し、前記可変定電流供給手段の出力する定電流値に応じて、前記可変遅延手段の遅延量を制御する遅延制御手段とを含む、請求項1記載の同期型半導体記憶装置。

【請求項4】 前記可変遅延手段は、前記外部クロック信号を受け、遅延して前記内部クロック信号として出力する、互いにカスケード接続された複

2

数の遅延バッファ回路と、

前記遅延バッファ回路に第1の電源電位をそれぞれ供給する複数の第1のpチャネルMOSFETと、前記遅延バッファ回路に第2の電源電位をそれぞれ供給する複数の第2のnチャネルMOSFETとを含み、前記遅延制御手段は、

第1および第2の入力ノードならびに第1および第2の出力ノードを有し、前記可変定電流供給手段の出力する定電流を前記第1の入力ノードに受け、前記第1および第2の出力ノードが前記第2の電源電位と接続するカレントミラー回路と、

ソースが前記第1の電源電位と接続し、ゲートが自身のドレインおよび前記複数の第1のpチャネルMOSFETのゲートと接続する第3のpチャネルMOSFETとを含み、

前記カレントミラー回路は、

ソースおよびドレインがそれぞれ前記第1の入力ノードと前記第2の電源電位とに接続され、ゲートとドレインとが接続する第4のnチャネルMOSFETと、

ソースおよびドレインがそれぞれ前記第2の電源電位と前記第2の入力ノードとに接続され、ゲートが前記第3のnチャネルMOSFETのゲートおよび前記複数の第2のnチャネルMOSFETのゲートと接続する第5のnチャネルMOSFETとを有し、前記第2の入力ノードと前記第3のpチャネルMOSFETのドレインとが接続する、請求項3記載の同期型半導体記憶装置。

【請求項5】 前記カスケード接続された遅延バッファ回路のそれぞれの出力を受けて所定時間遅延した複数の内部制御信号を出力する内部制御信号発生手段をさらに備え、

前記列選択手段の列選択動作および記憶データ読出動作ならびに前記データ出力手段の記憶データ出力動作は、前記内部制御信号に制御される、請求項4記載の同期型半導体記憶装置。

【請求項6】 前記可変遅延手段の出力のサイクル数を計数して、所定サイクル分周した出力を前記位相比較手段に与えるカウント手段をさらに備える、請求項3記載の同期型半導体記憶装置。

【請求項7】 前記可変定電流供給手段は、さらに、前記可変遅延手段のスタンバイ動作電流を供給する待機動作電流供給手段を含む、請求項5記載の同期型半導体記憶装置。

【請求項8】 コラムアドレスストロブ信号活性化後、前記記憶データ出力までの前記外部クロック信号のサイクル数を表わすレイテンシデータを外部から受けて保持する命令レジスタとをさらに備え、

前記待機動作電流供給手段は、

前記レイテンシデータに応じて、前記スタンバイ動作電流値を変化させる可変定電流源をさらに含む、請求項

7記載の同期型半導体記憶装置。

【請求項9】 外部からのテストモード指定信号に応じて、前記待機動作電流供給手段を制御し、前記可変遅延手段のスタンバイ動作電流を所定の値とするテストモード制御手段をさらに備える、請求項8記載の同期型半導体記憶装置。

【請求項10】 前記内部同期信号発生手段は、前記外部クロック信号を受け、遅延して前記内部クロック信号として出力する可変遅延手段と、前記外部クロック信号および前記内部クロック信号を受けて、位相差を検出する位相比較手段と、前記位相比較手段の検出結果に応じて、デジタル信号である定電流値制御信号を出力するデコード手段とを含み、前記定電流値制御信号は、前記定電流値制御信号の所定の上位ビットに対応する第1の制御信号と、前記定電流値制御信号の所定の下位ビットに対応する第2の制御信号とを含み、前記定電流値制御信号に応じて、出力ノードに供給する定電流値を変化させる可変定電流供給手段をさらに含み、

前記可変定電流供給手段は、前記第1の制御信号に応じて、前記出力ノードに供給する定電流値を変化させる第1の可変定電流源回路と、前記第2の制御信号に応じて、前記出力ノードに供給する定電流値を変化させる第2の可変定電流源回路とを有し、前記可変定電流供給手段の出力する定電流値に応じて、前記可変遅延手段の遅延量を制御する遅延制御手段とを含む、請求項1記載の同期型半導体記憶装置。

【請求項11】 前記第1の可変定電流源回路は、各々が第1の所定の電流を供給する複数の第1の定電流源と、前記複数の第1の定電流源と前記出力ノードとの間にそれぞれ接続され、前記定電流値制御信号に制御されて開閉する複数の第1のスイッチ手段と、各々が第1の所定の電流を受入れる複数の第2の定電流源と、前記出力ノードと前記複数の第2の定電流源との間にそれぞれ接続され、前記定電流値制御信号に制御されて開閉する複数の第2のスイッチ手段とを含み、前記第2の可変定電流源回路は、各々が前記第1の所定の電流よりも小さい第2の定電流を供給する複数の第3の定電流源と、前記複数の第3の定電流源と前記出力ノードとの間にそれぞれ接続され、前記定電流値制御信号に制御されて開閉する複数の第3のスイッチ手段と、各々が前記第2の所定電流を受入れる複数の第4の定電流源と、

前記出力ノードと前記複数の第4の定電流源との間にそれぞれ接続され、

前記定電流値制御信号に制御されて開閉する複数の第4のスイッチ手段とを含む、請求項10記載の同期型半導体記憶装置。

【請求項12】 前記可変定電流供給手段は、さらに、前記可変遅延手段のスタンバイ動作電流を供給する待機動作電流供給手段を含む、請求項11記載の同期型半導体記憶装置。

【請求項13】 コラムアドレスストロブ信号活性化後、前記記憶データ出力までの外部クロック信号のサイクル数を表わすレイテンシデータを外部から受けて保持する命令レジスタとをさらに備え、前記待機動作電流供給手段は、前記レイテンシデータに応じて、前記スタンバイ動作電流値を変化させる可変定電流源をさらに含む、請求項12記載の同期型半導体記憶装置。

【請求項14】 外部からのテストモード指定信号に応じて、前記待機動作電流供給手段を制御し、前記可変遅延手段のスタンバイ動作電流を所定の値とするテストモード制御手段をさらに備える、請求項13記載の同期型半導体記憶装置。

【請求項15】 前記内部同期信号発生手段は、前記外部クロック信号を受け、遅延して前記内部クロック信号として出力する可変遅延手段を含み、前記可変遅延手段は、前記外部クロック信号を受け遅延して出力する、互いにカスケード接続された複数段の遅延バッファ回路を有し、

前記外部クロック信号および前記複数段の遅延バッファ回路の出力をそれぞれ受けて、前記外部クロック信号の周期に対応する前記遅延バッファ回路の段数を検知し、定電流値制御信号を出力する演算手段と、前記定電流値制御信号に応じて、出力ノードに供給する定電流値をデジタル的に変化させる可変定電流供給手段と、前記可変定電流供給手段の出力する定電流値に応じて、前記各遅延バッファ回路の遅延量を制御する遅延制御手段とをさらに含み、

前記演算手段は、所定段数の前記遅延バッファ回路の出力遅延が前記外部クロック信号の周期と一致するように前記定電流値制御信号を更新する、請求項1記載の同期型半導体記憶装置。

【請求項16】 前記可変定電流供給手段は、各々が所定の電流を供給する複数の第1の定電流源と、前記複数の第1の定電流源と前記出力ノードとの間にそれぞれ接続され、前記定電流値制御信号に制御されて開閉する複数の第1のスイッチ手段と、各々が所定の電流を受入れる複数の第2の定電流源と、前記出力ノードと前記複数の第2の定電流源との間にそ

れぞれ接続され、前記定電流値制御信号に制御されて可変する複数の第2のスイッチ手段とを含む、請求項15記載の同期型半導体記憶装置。

【請求項17】 前記カスケード接続された遅延バッファ回路のそれぞれの出力を受けて所定時間遅延した複数の内部制御信号を出力する内部制御信号発生手段をさらに備え、

前記列選択手段の列選択動作および記憶データ読出動作ならびに前記データ出力手段の記憶データ出力動作は、前記内部制御信号に制御される、請求項15記載の同期型半導体記憶装置。

【請求項18】 前記可変定電流供給手段は、さらに、前記可変遅延手段のスタンバイ動作電流を供給する待機動作電流供給手段を含む、請求項16記載の同期型半導体記憶装置。

【請求項19】 コラムアドレスストロブ信号活性化後、前記記憶データ出力までの前記外部クロック信号のサイクル数を表わすレイテンシデータを外部から受けて保持する命令レジスタとをさらに備え、

前記待機動作電流供給手段は、前記レイテンシデータに応じて、前記スタンバイ動作電流値を変化させる可変定電流源をさらに含む、請求項18記載の同期型半導体記憶装置。

【請求項20】 外部からのテストモード指定信号に応じて、前記待機動作電流供給手段を制御し、前記可変遅延手段のスタンバイ動作電流を所定の値とするテストモード制御手段をさらに備える、請求項19記載の同期型半導体記憶装置。

【請求項21】 前記同期信号発生手段は、前記外部クロック信号を受け、遅延して出力する第1の可変遅延手段を含み、

前記第1の可変遅延手段は、前記外部クロック信号を受け遅延して出力する、互いにカスケード接続された複数段の第1の遅延バッファ回路を有し、

所定の段数の前記第1の遅延バッファ回路からの分岐出力を受け、遅延して前記内部クロック信号として出力する第2の可変遅延手段をさらに含み、

前記第2の可変遅延手段は、前記分岐出力を受けて遅延して出力する、各々が前記第1の遅延バッファ回路よりも遅延量の小さい互いにカスケード接続された複数段の第2の遅延バッファ回路を有し、

前記外部クロック信号および前記複数段の第1の遅延バッファ回路の出力をそれぞれ受けて、前記外部クロック信号の周期以内の遅延量の前記第1の遅延バッファ回路の段数を検知し、第1の定電流値制御信号を出力する第1の演算手段と、

前記外部クロック信号および前記複数段の第2の遅延バッファ回路の出力をそれぞれ受けて、前記外部クロック

信号の周期以内の遅延量の前記第2の遅延バッファ回路の段数を検知し、第2の定電流値制御信号を出力する第2の演算手段と、

前記第1の定電流値制御信号に応じて、出力ノードに供給する定電流値をデジタル的に変化させる第1の可変定電流供給手段と、

前記第2の定電流値制御信号に応じて、前記出力ノードに供給する定電流値をデジタル的に変化させる第2の可変定電流供給手段と、

10 前記出力ノードに出力される定電流値に応じて、前記第1および前記第2の各遅延バッファ回路の遅延量を制御する遅延制御手段とをさらに含み、前記第1および第2の演算手段は、前記第2の可変遅延手段の出力遅延が前記外部クロック信号の周期と一致するように、前記第1および第2の定電流値制御信号を更新する請求項1記載の同期型半導体記憶装置。

【請求項22】 前記第1の可変定電流供給手段は、さらに、

20 前記第1の可変遅延手段のスタンバイ動作電流を供給する待機動作電流供給手段を含む、請求項21記載の同期型半導体記憶装置。

【請求項23】 コラムアドレスストロブ信号活性化後、前記記憶データ出力までの外部クロック信号のサイクル数を表わすレイテンシデータを外部から受けて保持する命令レジスタとをさらに備え、

前記待機動作電流供給手段は、前記レイテンシデータに応じて、前記スタンバイ動作電流値を変化させる可変定電流源をさらに含む、請求項22記載の同期型半導体記憶装置。

30 【請求項24】 外部からのテストモード指定信号に応じて、前記待機動作電流供給手段を制御し、前記可変遅延手段のスタンバイ動作電流を所定の値とするテストモード制御手段をさらに備える、請求項23記載の同期型半導体記憶装置。

【請求項25】 前記内部同期信号発生手段は、前記内部クロック信号を出力する可変周波数発振手段と、

前記外部クロック信号および前記可変周波数発振手段の出力を受けて、位相差を検出する位相比較手段と、

40 前記位相比較手段の検出結果に応じて、定電流値制御信号を出力するデコード

手段と、

前記定電流値制御信号に応じて、出力ノードに供給する定電流値を変化させる可変定電流供給手段とを含み、

前記可変定電流供給手段は、各々が所定の電流を供給する複数の第1の定電流源と、前記複数の第1の定電流源と前記出力ノードとの間にそれぞれ接続され、前記定電流値制御信号に制御されて開閉する複数の第1のスイッチ手段と、

50 各々が所定の電流を受入れる複数の第2の定電流源と、

7

前記出力ノードと前記複数の第2の定電流源との間にそれぞれ接続され、前記定電流値制御信号に制御されて開閉する複数の第2のスイッチ手段とを有し、
前記可変定電流供給手段の出力する定電流値に応じて、
前記可変周波数発振手段の発振周波数を制御する発振制御手段とを含む、請求項1記載の同期型半導体記憶装置。

【請求項26】 前記可変周波数発振手段と前記位相比較手段との間に接続され、前記可変遅延手段の出力のサイクル数を計数して、所定サイクル分周した出力を前記位相比較手段に与えるカウント手段をさらに備える、請求項25記載の同期型半導体記憶装置。

【請求項27】 前記可変定電流供給手段は、さらに、
前記可変周波数発振手段のスタンバイ動作電流を供給する待機動作電流供給手段を含む、請求項25記載の同期型半導体記憶装置。

【請求項28】 コラムアドレスストロブ信号活性化後、前記記憶データ出力までの前記外部クロック信号のサイクル数を表わすレイテンシデータを外部から受けて保持する命令レジスタとをさらに備え、
前記待機動作電流供給手段は、
前記レイテンシデータに応じて、前記スタンバイ動作電流値を変化させる可変定電流源をさらに含む、請求項27記載の同期型半導体記憶装置。

【請求項29】 外部からのテストモード指定信号に応じて、前記待機動作電流供給手段を制御し、前記可変遅延手段のスタンバイ動作電流を所定の値とするテストモード制御手段をさらに備える、請求項28記載の同期型半導体記憶装置。

【請求項30】 前記同期信号発生手段は、
前記外部クロック信号を受け、遅延して出力する第1の可変遅延手段を含み、
前記第1の可変遅延手段は、
前記外部クロック信号を受け遅延して出力する、互いにカスケード接続された複数の第1の遅延バッファ回路を有し、
前記外部クロック信号を受け、遅延して出力する第2の可変遅延手段をさらに含み、
前記第2の可変遅延手段は、
前記外部クロック信号を受け遅延して出力する、互いにカスケード接続された複数の第2の遅延バッファ回路を有し、
前記外部クロック信号および前記複数の第1の遅延バッファ回路の出力をそれぞれ受けて、前記外部クロック信号の周期以内の遅延量の前記第1の遅延バッファ回路の段数を検知し、定電流値制御信号を出力する演算手段をさらに含み、
前記演算手段は、所定段数の前記第1の遅延バッファ回路の出力遅延が前記外部クロック信号の周期と一致するように前記定電流値制御信号を更新し、

8

前記定電流値制御信号に応じて、出力ノードに供給する定電流値をデジタル的に変化させる可変定電流供給手段と、

前記可変定電流供給手段の出力する定電流値に応じて、
前記第1および前記第2の各遅延バッファ回路の遅延量を制御する遅延制御手段と、

前記カスケード接続された第2の遅延バッファ回路のそれぞれの出力を受けて所定時間遅延した複数の内部制御信号を出力する内部制御信号発生手段をさらに含み、

10 前記列選択手段の列選択動作および記憶データ読出動作ならびに前記データ出力手段の記憶データ出力動作は、
前記内部制御信号に制御される、請求項1記載の同期型半導体記憶装置。

【請求項31】 前記内部同期信号発生手段は、
前記内部クロック信号を出力する可変周波数発振手段と、

前記外部クロック信号および前記内部クロック信号を受けて、位相差を検出し、第1および第2の比較信号を出力する位相比較手段と、

20 前記第1および第2の比較信号を受け、前記第1の比較信号に応じて充放電ノードを充電し、前記第2の比較信号に応じて充放電ノードを放電するチャージポンプ手段と、

前記充放電ノードの電位レベルを平滑化して、出力ノードに出力する同期フィルタ回路と、

前記出力ノードの電位レベルに応じて、前記可変周波数発振手段の発振周波数を制御する発振制御手段と、

外部電源電位の供給開始を検知して、前記出力ノードを所定の電位レベルに充電する充電手段を備える、請求項1記載の同期型半導体記憶装置。

30 【請求項32】 前記内部同期信号発生手段は、
前記外部クロック信号を受け遅延して、2周期ごとに複数の内部制御信号を出力する第1の内部制御信号発生手段と、

前記外部クロック信号を受け遅延して、2周期ごとに前記第1の内部制御信号発生手段と交互に複数の内部制御信号を出力する第2の内部制御信号発生手段とを含み、
前記第1の内部制御信号発生手段は、

40 前記外部クロック信号の第1の立上がりエッジが検出されることに応じて、前記外部クロック信号を受けて遅延し出力する第1の遅延手段と、

前記第1の遅延手段の出力と前記外部クロック信号とを受けて、前記第1の遅延手段の遅延時間と前記外部クロック信号の1周期との時間差を検出し、前記第1の立上がりエッジを含む周期の次の周期の第2の立上がりエッジに応じて、前記時間差経過後に出力レベルを変化させる可変遅延手段と、

前記可変遅延手段の出力を受けて、順次遅延させて前記複数の内部制御信号を出力する第2の遅延手段とを有し、

50

前記第2の内部制御信号発生手段は、
前記外部クロック信号の前記第2の立上りのエッジが検出されることに応じて、前記外部クロック信号を受けて遅延し出力する第3の遅延手段と、
前記第3の遅延手段の出力と前記外部クロック信号とを受けて、前記第3の遅延手段の遅延時間と前記外部クロック信号の1周期との時間差を検出し、前記第2の立上がりエッジを含む周期の次の周期の第3の立上がりエッジに依りて、前記時間差経過後に出力レベルを変化させる可変遅延手段と、
前記可変遅延手段の出力を受けて、順次遅延させて前記複数の内部制御信号を出力する第4の遅延手段とを有し、
前記列選択手段の列選択動作および記憶データ読出動作ならびに前記データ出力手段の記憶データ出力動作は、前記複数の内部制御信号に制御される、請求項1記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、特に、外部クロック信号に同期してアドレス信号および入力データを含む外部信号を取込み、記憶データを外部に出力する同期型半導体記憶装置に関する。より特定的には、外部クロック信号を受けて、同期した内部クロック信号を発生するPLL (Phase Locked Loop) 回路やDLL (Delay Locked Loop) 回路のような内部同期信号発生回路を有する半導体記憶装置に関する。

【0002】

【従来の技術】近年のマイクロプロセッサ（以下、MPUと称す）の動作速度の向上に伴い、主記憶装置として用いられるダイナミックランダムアクセスメモリ（以下、DRAMと称す）等の高速アクセスを実現するために、クロック信号に同期して動作する同期型DRAM（シンクロナスDRAM；以下、SDRAMと称す）等を用いることが提案されている。このような、外部クロック信号に同期して動作する半導体記憶装置においては、半導体記憶装置内部に、外部クロック信号に同期した内部クロック信号を発生するためのPLL回路やDLL回路等が搭載されていることが一般的である。

【0003】図41は、従来の同期型半導体記憶装置2000の構成を示す概略ブロック図である。

【0004】制御信号入力端子2に与えられた外部クロック信号Ext. CLKは、クロックバッファ回路20を介して、内部同期信号発生回路50に入力する。内部同期信号発生回路50は、外部クロック信号Ext. CLKに同期した内部クロック信号int. CLKを出力し、この内部クロック信号int. CLKを受けて、内部制御信号発生回路26が内部回路の動作を制御する内部制御信号を出力する。

【0005】同期型半導体記憶装置2000は、さらに、外部制御信号入力端子4または6を介して与えられる外部制御信号/RASおよび/CASをそれぞれ受けて、内部回路の動作を制御する内部ロウアドレスストロブ信号および内部列アドレスストロブ信号を発生するRASバッファ22およびCASバッファ24と、メモリセルが行列状に配列されるメモリセルアレイ10と、アドレス信号入力端子8を介して与えられる外部アドレス信号A0～Aiを受け、RASバッファ22およびCASバッファ24の制御のもとに、内部行アドレス信号および内部列アドレス信号を発生するアドレスバッファ18と、アドレスバッファ18から与えられる内部行アドレス信号をデコードし、メモリセルアレイ10の対応する行（ワード線）を選択するロウデコーダ12と、内部制御信号発生回路26からの内部制御信号に制御され、アドレスバッファ18からの内部列アドレス信号をデコードし、メモリセルアレイ10の対応する複数の列を同時に選択するための列選択信号を発生するコラムデコーダ14と、内部制御信号発生回路26からの内部制御信号に制御され、メモリセルアレイ10の選択された行に接続する複数のメモリセルのデータをそれぞれ検知し増幅する複数のセンスアンプと、内部制御信号発生回路26に制御され、コラムデコーダ14からの列選択信号に依りて、メモリセルアレイ10の選択された複数の列を内部データバスに接続するI/O回路と、内部制御信号発生回路26の制御のもとに、内部データバスに出力されたメモリセルのデータのうち、アドレスバッファ18から与えられる内部セレクトアドレスに対応するデータを選択して出力するセレクト回路28と、内部制御信号発生回路26の制御のもとに、セレクト回路28の出力を受けて、データ入出力端子32に外部出力データを出力する出力回路30とを含む。

【0006】以下では、センスアンプとI/O回路とをセンスアンプ+I/O回路16と呼ぶことにする。

【0007】図42は、図41に示した従来の同期型半導体記憶装置2000の動作を示すタイミングチャートである。

【0008】以下では、電源投入後、内部同期信号発生回路50が同期動作を開始した後、外部クロック信号Ext. CLKと同期した内部クロック信号int. CLKを出力する定常状態となった後の動作について説明する。

【0009】時刻t1における外部クロック信号Ext. CLKの立上りのエッジに依りて、外部制御信号入力端子8を介して与えられる行アドレス信号Axがアドレスバッファ18に取込まれる。この行アドレス信号Axに対応して、メモリセルアレイ10中の選択されたワード線の電位を、ロウデコーダ12が“H”レベルへと変化させる。これに依りて、選択されたワード線に接続するメモリセル中の記憶情報に依りて、これらメモ

11

リセルに接続するビット線対に応じて配置されるセンスアンプにより、ビット線対に生じた電位差が増幅される。

【0010】ビット線対の電位レベルがフルスケールに増幅された後、時刻 t_1 から、外部クロック信号 Ext 、CLKの4サイクル目の立上りのエッジの時刻 t_6 において、外部アドレス信号入力端子8を介して、コラムアドレス A_y がアドレスバッファ18に取込まれる。これに応じて、コラムアドレス信号 A_y に対応する複数のビット線対、たとえば4対のビット線対がI/O線対と接続され、ビット線対の電位レベルがI/O線対に伝達される。

【0011】I/O線対に読出された記憶データは、内部データバスを経由してセクタ28に入力する。セクタ28では、内部制御信号発生回路26からの内部制御信号に応じて、アドレスバッファ18から与えられる内部セクタアドレスに対応するメモリセルからのデータを選択し、出力回路30に出力する。出力回路30において、ラッチされた読出データは、内部制御信号発生回路26からの内部制御信号に応じて、時刻 t_8 における外部クロック信号 Ext 、CLKの立上りのエッジ、すなわち列アドレス信号がアドレスバッファ18に取込まれた後の外部クロック信号 Ext 、CLKの2サイクル目の立上りのエッジにおいて、データ入出力端子32に出力される。

【0012】すなわち、同期型半導体記憶装置2000においては、アドレス信号の取込や、データの読出およびデータの出力動作は、すべて、内部同期信号発生回路50から出力される内部クロック信号 int 、CLKに応じて内部制御信号発生回路26から出力される内部制御信号により制御される。特に、データの出力のタイミングは、外部クロック信号 Ext 、CLKに同期して行なわれ、外部クロック信号 Ext 、CLKの立上りのエッジにおいて、データ入出力端子32に出力されるデータが、読出データとして外部装置、たとえばMPUに取込まれる。

【0013】上記の例においては、行アドレスの取込の後、列アドレス信号の取込が行なわれるまでの外部クロック信号のサイクル数および列アドレス信号の取込が行なわれた後、データ出力が行なわれるまでのサイクル数が、それぞれ4サイクルおよび2サイクルの場合について説明したが、それぞれのサイクル数は、外部クロック信号の周波数や、同期型半導体記憶装置2000の内部回路の動作速度等に応じて所定の値に定められるものである。

【0014】図43は、従来の内部同期信号発生回路50のPLL回路の構成を示す回路図である。

【0015】図43を参照して、電源電位ノード51aには電源電位 V_{cc} が与えられ、接地電位ノード51bには接地電位 GND が与えられる。位相比較回路52

12

は、内部クロック信号 int 、CLKおよび外部クロック信号 Ext 、CLKを受け、内部クロック信号 int 、CLKと外部クロック信号 Ext 、CLKとの周波数および位相のずれに応じた制御信号UPおよびDOWNを出力する。

【0016】位相比較回路52は、内部クロック信号 int 、CLKの周波数が外部クロック信号 Ext 、CLKの周波数よりも大きいとき、または内部クロック信号 int 、CLKの位相が外部クロック信号 Ext 、CLKの位相よりも速いときには制御信号UPを“L”レベルに、内部クロック信号 int 、CLKの周波数が外部クロック信号 Ext 、CLKの周波数よりも小さいときまたは内部クロック信号 int 、CLKの位相が外部クロック信号 Ext 、CLKの位相よりも遅いときは、制御信号UPを“H”レベルにする。

【0017】一方、位相比較回路52は、内部クロック信号 int 、CLKの周波数が外部クロック信号 Ext 、CLKの周波数よりも大きいとき、または内部クロック信号 int 、CLKの位相が外部クロック信号 Ext 、CLKの位相よりも速いときは、制御信号/DOWNを“L”レベルに、内部クロック信号 int 、CLKの周波数が外部クロック信号 Ext 、CLKの周波数よりも小さいとき、または内部クロック信号 int 、CLKの位相が外部クロック信号 Ext 、CLKの位相よりも遅いときには、制御信号/DOWNを“H”レベルにする。

【0018】チャージポンプ回路53は、位相比較回路52からの制御信号UPおよび/DOWNを受け、制御信号UPが“L”レベルであって、制御信号/DOWNが“L”レベルのときは充放電ノード53aに電荷を供給する。一方、チャージポンプ回路53は、制御信号UPが“H”レベルで、制御信号/DOWNが“H”レベルのときは、充放電ノード53aから電荷を引抜く。

【0019】チャージポンプ回路53は、電源電位ノード51aとノード53bとの間に定電流を流すための定電流回路53cと、ノード53bと充放電ノード53aとの間に接続され、ゲートに位相比較回路52からの制御信号UPを受けるpチャネルMOSトランジスタ53dと、充放電ノード53aとノード53eとの間に接続され、ゲートに位相比較回路52からの制御信号/DOWNを受けるnチャネルMOSトランジスタ53fと、ノード53eと接地電位ノード51bとの間に定電流を流すための定電流回路53gを含む。

【0020】ループフィルタ54は、チャージポンプ回路53における充放電ノード53aから電荷が供給されまたは引抜かれるのに応じて、変化する出力電位 V_p をノード54aに出力する。

【0021】ループフィルタ54は、充放電ノード53aとノード54aとの間に接続された抵抗素子54b、ノード54aとノード54cとの間に接続された抵抗素

13

子54dと、ノード54cと接地電位ノード51bとの間に接続されたキャパシタ54eを含む。

【0022】電流調整電位出力回路55は、ループフィルタ54におけるノード54aからの出力電位V_pを受け、この出力電位V_pに応じた出力電位V_nを出力する。電流調整電位出力回路55は、電源電位ノード51aとノード55aとの間に接続され、ゲートがループフィルタ54におけるノード54aに接続されたpチャネルMOSトランジスタ55bおよびノード55aと接地電位ノード51bとの間に接続され、ゲートがノード55aに接続されたnチャネルMOSトランジスタ55cを含む。

【0023】リングオシレータ56は、リフレッシュ54からの出力電位V_pおよび電流調整電位出力回路55からの出力電位V_nを受け、この出力電位V_pおよびV_nに応じて駆動電流が調整され、この駆動電流の値に応じて発振する内部クロック信号i_{nt}. CLKの周波数を調整する。リングオシレータ56は、リング状に接続された奇数個のインバータ56aを含む。各インバータ56aは、電源電位ノード51aとノード56aaとの間に接続され、ゲートにループフィルタ54からの出力電位V_pを受ける電流調整用pチャネルMOSトランジスタ56abと、ノード56aaと出力ノード56acとの間に接続され、ゲートが入力ノード56adに接続されたpチャネルMOSトランジスタ56acと、出力ノード56acと、ノード56afとの間に接続され、ゲートが入力ノード56adに接続されたnチャネルMOSトランジスタ56agと、ノード56afと接地電位ノード51bとの間に接続され、ゲートに電流調整電位出力回路55からの出力電位V_nを受ける電流調整用nチャネルMOSトランジスタ56ahを含む。

【0024】次に、PLL回路50の動作について簡単に説明する。まず、内部クロック信号i_{nt}. CLKの周波数が外部クロック信号E_{xt}. CLKの周波数よりも大きいときまたは内部クロック信号i_{nt}. CLKの位相が外部クロック信号E_{xt}. CLKの位相よりも速いときは、位相比較回路52は、制御信号UPおよび/DOWNを“L”レベルにする。制御信号UPおよび/DOWNを受けるチャージポンプ回路53においてpチャネルMOSトランジスタ53dが導通状態となり、nチャネルMOSトランジスタ53fが非導通状態となる。これに応じて、充放電ノード53aに電荷が供給され、これによってループフィルタ54におけるノード54aの出力電位V_pが上昇する。そして、この出力電位V_pを受ける電流調整電位出力回路55におけるpチャネルMOSトランジスタ55bに流れる電流値が減少し、ノード55aの出力電位V_nが低下する。nチャネルMOSトランジスタ55cに流れる電流がpチャネルMOSトランジスタ55bを流れる電流に等しくなるレベルにおいて出力電位V_nが定常な値となる。

14

【0025】さらに、出力電位V_pが上昇して出力電位V_nが下降したのを受けて、リングオシレータ56の各インバータ56aにおいて、電流調整用pチャネルMOSトランジスタ56abおよび電流調整用nチャネルMOSトランジスタ56ahに流れる電流が減少する。これに応じて、各インバータ56aの遅延時間が増大する。その結果、リングオシレータ56から出力される内部クロック信号i_{nt}. CLKの周波数が小さくなり、さらに、この信号i_{nt}. CLKの周波数が小さくなることによって、次の周期における信号i_{nt}. CLKの立上がりが遅れて出力されることとなり、進んでいた位相が同期する側に変化する。

【0026】一方、内部クロック信号i_{nt}. CLKの周波数が外部クロック信号E_{xt}. CLKの周波数よりも小さいとき、または内部クロックi_{nt}. CLKの位相が外部クロック信号E_{xt}. CLKの位相よりも遅いときは、位相比較回路52から出力される制御信号UPおよび/DOWNが“H”レベルとなる。以下は、上述と全く逆の過程を経て、リングオシレータ56から出力される内部クロック信号i_{nt}. CLKの遅れていた位相が、同期する側に変化することになる。

【0027】このようにして、PLL回路50は、外部クロック信号E_{xt}. CLKと周波数および位相とも一致した内部クロック信号i_{nt}. CLKを発生する。

【0028】

【発明が解決しようとする課題】ここで、上述したとおり、リングオシレータ56の発振周波数は、各インバータ56aを流れる電流値に大きく依存する。すなわち、この電流値が大きいほど、発振周波数は上昇することとなるが、上記のように構成されたPLL回路50におけるリングオシレータ56においては、ループフィルタ54の出力電位V_pに対して、リングオシレータの駆動電流は比例して変化しない。

【0029】これは、ループフィルタ回路54の出力電位V_pの電位が、pチャネルMOSトランジスタ55bのゲートに印加されることで、各インバータに流れる電流値が決定される構成となっているためである。すなわち、インバータ回路56aに流れる電流値は、このpチャネルMOSトランジスタ55bを流れるドレイン電流のゲート電圧依存性に従うこととなり、その依存性が正確にはゲート電圧に線形でないために、チャージポンプ回路53の出力電位、すなわち、ループフィルタ回路54の出力電位V_pとリングオシレータを構成するインバータ56aを流れる電流の関係が線形でなくなるためである。

【0030】したがって、PLL回路50が同期をとろうとする対象の外部クロック信号E_{xt}. CLKの周波数が大きすぎる状態、すなわち、チャージポンプ回路53の出力が電源電位V_{cc}に近く、pチャネルMOSトランジスタ55bを流れるドレイン電流が大きい状態、

あるいは、外部クロック信号Ext. CLKの周波数が低すぎる状態、すなわち、チャージポンプ回路53の出力レベルが接地電位GNDに近く、pチャネルMOSトランジスタ55bを流れるドレイン電流が小さい状態では、チャージポンプ回路53の出力、すなわち、ループフィルタ回路54の出力電位VpとpチャネルMOSトランジスタ55bを流れるドレイン電流との関係が、大きく線形から外れてしまう。

【0031】つまり、外部クロック信号Ext. CLKの周波数領域によっては、外部クロック信号Ext. CLKの周波数前後で、発振される内部クロック信号int. CLKが大きく振動してしまうこととなり、信号int. CLKのジッタが大きくなるという可能性があった。

【0032】また、上記ジッタを生じさせる原因としては、その他にチャージポンプ回路53から出力される定電流値がある。

【0033】図44は、チャージポンプ回路53が供給する定電流値が所定の値よりも大きい場合と小さい場合について、リングオシレータ回路56の出力する周波数の時間依存性を示す図である。チャージポンプ回路53が供給する定電流値が大きい場合には、ループフィルタ54が駆動される電流値が大きくなることとなり、PLL回路50が外部クロック信号Ext. CLKに対して同期動作を完了するまでの時間は短くなる。しかしながら、同期した後、位相比較回路52からの制御信号に応じてチャージポンプ回路53が出力する電流値の変化も大きくなり、同期完了後の出力周波数のぶれが大きく、ジッタが大きくなる。

【0034】逆に、チャージポンプ回路53が供給する定電流値が小さい場合には、同期動作が完了した後の周波数のぶれは小さくなるが、同期が完了するまでの時間が長くなってしまいう問題がある。このことは、同期型半導体記憶装置2000においては、外部クロック信号Ext. CLKに対して同期した内部クロック信号int. CLKを発生させるためには、同期信号発生回路50が、常に同期動作を持続している必要があることを意味する。そうでない場合は、データの入出力動作において、同期型半導体記憶装置2000が外部クロック信号Ext. CLKに追従できないことになる。したがって、常時同期信号発生回路50が動作することにより、同期型半導体記憶装置2000のスタンバイ状態における消費電力が増加するという問題点があった。

【0035】この発明は、上記のような問題点を解決するためになされたものであって、その目的は、待機動作における消費電力を低減することが可能な同期型半導体記憶装置を提供することである。

【0036】この発明の他の目的は、外部クロック信号に対して同期動作が完了するまでの時間を短縮し、高速動作に追従可能な内部同期信号発生回路を有する同期型

半導体記憶装置を提供することである。

【0037】この発明のさらに他の目的は、テストモード期間中は、内部クロック信号を所定の周波数に設定し、加速試験を行なうことが可能な同期型半導体記憶装置を提供することである。

【0038】

【課題を解決するための手段】請求項1記載の同期型半導体記憶装置は、外部クロック信号に同期して記憶データを出力する同期型半導体記憶装置であって、行列状に配置される複数のメモリセルを有するメモリセルアレイと、ロウアドレスストロープ信号の活性化時に活性化され、行アドレス信号に応じてメモリセルアレイの対応する行を選択する行選択手段と、ロウアドレスストロープ信号の活性化に応じて外部クロック信号に対する同期動作を開始し、外部クロック信号に同期した内部クロック信号を出力する内部同期信号発生手段と、コラムアドレスストロープ信号の活性化時に活性化され、列アドレス信号に応じてメモリセルアレイの対応する列を選択し、選択された行および列に対応するメモリセルの記憶データを読み出す列選択手段と、列選択手段からの記憶データを受けて、内部クロック信号に同期して出力するデータ出力手段とを備える。

【0039】請求項2記載の同期型半導体記憶装置は、請求項1記載の同期型半導体記憶装置の構成に加えて、内部クロック信号をそれぞれ所定時間遅延させた複数の内部制御信号を出力する内部制御信号発生手段をさらに備え、列選択手段の列選択動作および記憶データ読出動作ならびにデータ出力手段の記憶データ出力動作は、内部制御信号に制御される。

【0040】請求項3記載の同期型半導体記憶装置、請求項1記載の同期型半導体記憶装置の構成において、内部同期信号発生手段は、外部クロック信号を受け、遅延して内部クロック信号として出力する可変遅延手段と、外部クロック信号および可変遅延手段の出力を受けて、位相差を検出する位相比較手段と、位相比較手段の検出結果に応じて、定電流値制御信号を出力するデコード手段と、定電流値制御信号に応じて、出力ノードに供給する定電流値を変化させる可変定電流供給手段とを含み、可変定電流供給手段は、各々が所定の電流を供給する複数の第1の定電流源と、複数の第1の定電流源と出力ノードとの間にそれぞれ接続され、定電流値制御信号に制御されて開閉する複数の第1のスイッチ手段と、各々が所定の電流を受入れる複数の第2の定電流源と、出力ノードと複数の第2の定電流源との間にそれぞれ接続され、定電流値制御信号に制御されて開閉する複数の第2のスイッチ手段とを有し、可変定電流供給手段の出力する定電流値に応じて、可変遅延手段の遅延量を制御する遅延制御手段とを含む。

【0041】請求項4記載の同期型半導体記憶装置は、請求項3記載の同期型半導体記憶装置の構成において、

17

可変遅延手段は、外部クロック信号を受け、遅延して内部クロック信号として出力する、互いにカスケード接続された複数の遅延バッファ回路と、遅延バッファ回路に第1の電源電位をそれぞれ供給する複数の第1のpチャネルMOSFETと、遅延バッファ回路に第2の電源電位をそれぞれ供給する複数の第2のnチャネルMOSFETとを含み、遅延制御手段は、第1および第2の入力ノードならびに第1および第2の出力ノードを有し、可変定電流供給手段の出力する定電流を第1の入力ノードに受け、第1および第2の出力ノードが第2の電源電位と接続するカレントミラー回路と、ソースが第1の電源電位と接続し、ゲートが自身のドレインおよび複数の第1のpチャネルMOSFETのゲートと接続する第3のpチャネルMOSFETとを含み、カレントミラー回路は、ソースおよびドレインがそれぞれ第1の入力ノードと第2の電源電位とに接続され、ゲートとドレインとが接続する第4のnチャネルMOSFETと、ソースおよびドレインがそれぞれ第2の電源電位と第2の入力ノードに接続され、ゲートが第3のnチャネルMOSFETのゲートおよび複数の第2のnチャネルMOSFETのゲートと接続する第5のnチャネルMOSFETとを有し、第2の入力ノードと第3のpチャネルMOSFETのドレインとが接続する。

【0042】請求項5記載の同期型半導体記憶装置は、請求項4記載の同期型半導体記憶装置の構成に加えて、カスケード接続された遅延バッファ回路のそれぞれの出力を受けて所定時間遅延した複数の内部制御信号を出力する内部制御信号発生手段をさらに備え、列選択手段の列選択動作および記憶データ読出動作ならびにデータ出力手段の記憶データ出力動作は内部制御信号に制御される。

【0043】請求項6記載の同期型半導体記憶装置は、請求項3記載の同期型半導体記憶装置の構成に加えて、可変遅延手段と位相比較手段との間に接続され、可変遅延手段の出力のサイクル数を計数して、所定サイクル分周した出力を位相比較手段に与えるカウント手段をさらに備える。

【0044】請求項7記載の同期型半導体記憶装置は、請求項5記載の同期型半導体記憶装置の構成において、可変定電流供給手段は、さらに、可変遅延手段のスタンバイ動作電流を供給する待機動作電流供給手段を含む。

【0045】請求項8記載の同期型半導体記憶装置は、請求項7記載の同期型半導体記憶装置の構成に加えて、コラムアドレスストロブ信号活性化後、記憶データ出力までの外部クロック信号のサイクル数を表わすレイテンシデータを外部から受けて保持する命令レジスタとをさらに備え、待機動作電流供給手段は、レイテンシデータに応じて、スタンバイ動作電流値を変化させる可変定電流源をさらに含む。

18

【0046】請求項9記載の同期型半導体記憶装置は、請求項8記載の同期型半導体記憶装置の構成に加えて、外部からのテストモード指定信号に応じて、待機動作電流供給手段を制御し、可変遅延手段のスタンバイ動作電流を所定の値とするテストモード制御手段をさらに備える。

【0047】請求項10記載の同期型半導体記憶装置は、請求項1記載の同期型半導体記憶装置の構成において、内部同期信号発生手段は、外部クロック信号を受け、遅延して内部クロック信号として出力する可変遅延手段と、外部クロック信号および内部クロック信号を受けて、位相差を検出する位相比較手段と、位相比較手段の検出結果に応じて、ディジタル信号である定電流値制御信号を出力するデコード手段とを含み、定電流値制御信号は、定電流値制御信号の所定の上位ビットに対応する第1の制御信号と、定電流値制御信号の所定の低位ビットに対応する第2の制御信号とを含み、定電流値制御信号に応じて、出力ノードに供給する定電流値を変化させる可変定電流供給手段をさらに含む、可変定電流供給手段は、第1の制御信号に応じて、出力ノードに供給する定電流値を変化させる第1の可変定電流源回路と、第2の制御信号に応じて、出力ノードに供給する定電流値を変化させる第2の可変定電流源回路とを有し、可変定電流供給手段の出力する定電流値に応じて、可変遅延手段の遅延量を制御する遅延制御手段とを含む。

【0048】請求項11記載の同期型半導体記憶装置は、請求項10記載の同期型半導体記憶装置の構成において、第1の可変定電流源回路は、各々が第1の所定の電流を供給する複数の第1の定電流源と、複数の第1の定電流源と出力ノードとの間に接続され、定電流値制御信号に制御されて開閉する複数の第1のスイッチ手段と、各々が第1の所定の電流を受入れる複数の第2の定電流源と、出力ノードと複数の第2の定電流源との間にそれぞれ接続され、定電流値制御信号に制御されて開閉する複数の第2のスイッチ手段とを含み、第2の可変定電流源回路は、各々が第1の所定の電流よりも小さい第2の所定電流を供給する複数の第3の定電流源と、複数の第3の定電流源と出力ノードとの間にそれぞれ接続され、定電流値制御信号に制御されて開閉する複数の第3のスイッチ手段と、各々が第2の所定の電流を受入れる複数の第4の定電流源と、出力ノードと複数の第4の定電流源との間にそれぞれ接続され、定電流値制御信号に制御されて開閉する複数の第4のスイッチ手段とを含む。

【0049】請求項12記載の同期型半導体記憶装置は、請求項11記載の同期型半導体記憶装置の構成において、可変定電流供給手段は、さらに、可変遅延手段のスタンバイ動作電流を供給する待機動作電流供給手段を含む。

【0050】請求項13記載の同期型半導体記憶装置

は、請求項 1 2 記載の同期型半導体記憶装置の構成に加えて、コラムアドレスストロブ信号活性化後、記憶データ出力までの外部クロック信号のサイクル数を表わすレイテンシデータを外部から受けて保持する命令レジスタとをさらに備え、待機動作電流供給手段は、レイテンシデータに応じて、スタンバイ動作電流値を変化させる可変定電流源をさらに含む。

【0051】請求項 1 4 記載の同期型半導体記憶装置は、請求項 1 3 記載の同期型半導体記憶装置の構成に加えて、外部からのテストモード指定信号に応じて、待機動作電流供給手段を制御し、可変遅延手段のスタンバイ動作電流を所定の値とするテストモード制御手段をさらに備える。

【0052】請求項 1 5 記載の同期型半導体記憶装置は、請求項 1 記載の同期型半導体記憶装置の構成において、内部同期信号発生手段は、外部クロック信号を受け、遅延して内部クロック信号として出力する可変遅延手段を含み、可変遅延手段は、外部クロック信号を受け遅延して出力する、互いにカスケード接続された複数段の遅延バッファ回路を有し、外部クロック信号および複数段の遅延バッファ回路の出力をそれぞれ受けて、外部クロック信号の周期に対応する遅延バッファ回路の段数を検知し、定電流値制御信号を出力する演算手段と、定電流値制御信号に応じて、出力ノードに供給する定電流値をディジタル的に変化させる可変定電流供給手段と、可変定電流供給手段の出力する定電流値に応じて、各遅延バッファ回路の遅延量を制御する遅延制御手段とをさらに含み、演算手段は、所定段数の遅延バッファ回路の出力遅延が外部クロック信号の周期と一致するように定電流値制御信号を更新する。

【0053】請求項 1 6 記載の同期型半導体記憶装置は、請求項 1 5 記載の同期型半導体記憶装置の構成において、可変定電流供給手段は、各々が所定の電流を供給する複数の第 1 の定電流源と、複数の第 1 の定電流源と出力ノードとの間にそれぞれ接続され、定電流値制御信号に制御されて開閉する複数の第 1 のスイッチ手段と、各々が所定の電流を受入れる複数の第 2 の定電流源と、出力ノードと複数の第 2 の定電流源との間にそれぞれ接続され、定電流値制御信号に制御されて開閉する複数の第 2 のスイッチ手段とを含む。

【0054】請求項 1 7 記載の同期型半導体記憶装置は、請求項 1 5 記載の同期型半導体記憶装置の構成に加えて、カスケード接続された遅延バッファ回路のそれぞれの出力を受けて所定時間遅延した複数の内部制御信号を出力する内部制御信号発生手段をさらに備え、列選択手段の列選択動作および記憶データ読出動作ならびにデータ出力手段の記憶データ出力動作は、内部制御信号に制御される。

【0055】請求項 1 8 記載の同期型半導体記憶装置は、請求項 1 6 記載の同期型半導体記憶装置の構成にお

いて、可変定電流供給手段は、さらに、可変遅延手段のスタンバイ動作電流を供給する待機動作電流供給手段を含む。

【0056】請求項 1 9 記載の同期型半導体記憶装置は、請求項 1 8 記載の同期型半導体記憶装置の構成に加えて、コラムアドレスストロブ信号活性化後、記憶データ出力までの外部クロック信号のサイクル数を表わすレイテンシデータを外部から受けて保持する命令レジスタとをさらに備え、待機動作電流供給手段は、レイテンシデータに応じて、スタンバイ動作電流値を変化させる可変定電流源をさらに含む。

【0057】請求項 2 0 記載の同期型半導体記憶装置は、請求項 1 9 記載の同期型半導体記憶装置の構成に加えて、外部からのテストモード指定信号に応じて、待機動作電流供給手段を制御し、可変遅延手段のスタンバイ動作電流を所定の値とするテストモード制御手段をさらに備える。

【0058】請求項 2 1 記載の同期型半導体記憶装置は、請求項 1 記載の同期型半導体記憶装置の構成において、内部同期信号発生手段は、外部クロック信号を受け、遅延して出力する第 1 の可変遅延手段を含み、第 1 の可変遅延手段は、外部クロック信号を受け遅延して出力する、互いにカスケード接続された複数段の第 1 の遅延バッファ回路を有し、所定の段数の第 1 の遅延バッファ回路からの分岐出力を受け、遅延して内部クロック信号として出力する第 2 の可変遅延手段をさらに含み、第 2 の可変遅延手段は、分岐出力を受け遅延して出力する、各々が第 1 の遅延バッファ回路よりも遅延量の小さい互いにカスケード接続された複数段の第 2 の遅延バッファ回路を有し、外部クロック信号および複数段の第 1 の遅延バッファ回路の出力をそれぞれ受けて、外部クロック信号の周期以内の遅延量の第 1 の遅延バッファ回路の段数を検知し、第 1 の定電流値制御信号を出力する第 1 の演算手段と、外部クロック信号および複数段の第 2 の遅延バッファ回路の出力をそれぞれ受けて、外部クロック信号の周期以内の遅延量の第 2 の遅延バッファ回路の段数を検知し、第 2 の定電流値制御信号を出力する第 2 の演算手段と、第 1 の定電流値制御信号に応じて、出力ノードに供給する定電流値をディジタル的に変化させる第 1 の可変定電流供給手段と、第 2 の定電流値制御信号に応じて、出力ノードに供給する定電流値をディジタル的に変化させる第 2 の可変定電流供給手段と、出力ノードに出力される定電流値に応じて、第 1 および第 2 の各遅延バッファ回路の遅延量を制御する遅延制御手段とをさらに含み、第 1 および第 2 の演算手段は、第 2 の可変遅延手段の出力遅延が外部クロック信号の周期と一致するように第 1 および第 2 の定電流値制御信号を更新する。

【0059】請求項 2 2 記載の同期型半導体記憶装置は、請求項 2 1 記載の同期型半導体記憶装置の構成にお

21

いて、第 1 の可変定電流供給手段は、さらに、第 1 の可変遅延手段のスタンバイ動作電流を供給する待機動作電流供給手段を含む。

【0060】請求項 23 記載の同期型半導体記憶装置は、請求項 22 記載の同期型半導体記憶装置の構成に加えて、コラムアドレスストロブ信号活性化後、記憶データ出力までの外部クロック信号のサイクル数を表わすレイテンシデータを外部から受けて保持する命令レジスタとをさらに備え、待機動作電流供給手段は、レイテンシデータに応じて、スタンバイ動作電流値を変化させる可変定電流源をさらに含む。

【0061】請求項 24 記載の同期型半導体記憶装置は、請求項 23 記載の同期型半導体記憶装置の構成に加えて、外部からのテストモード指定信号に応じて、待機動作電流供給手段を制御し、可変遅延手段のスタンバイ動作電流を所定の値とするテストモード制御手段をさらに備える。

【0062】請求項 25 記載の同期型半導体記憶装置は、請求項 1 記載の同期型半導体記憶装置の構成において、内部同期信号発生手段は、内部クロック信号を出力する可変周波数発振手段と、外部クロック信号および可変周波数発振手段の出力を受けて、位相差を検出する位相比較手段と、位相比較手段の検出結果に応じて、定電流値制御信号を出力するデコード手段と、定電流値制御信号に応じて、出力ノードに供給する定電流値を変化させる可変定電流供給手段とを含み、可変定電流供給手段は、各々が所定の電流を供給する複数の第 1 の定電流源と、複数の第 1 の定電流源と出力ノードとの間にそれぞれ接続され、定電流値制御信号に制御されて開閉する複数の第 1 のスイッチ手段と、各々が所定の電流を受入れる複数の第 2 の定電流源と、出力ノードと複数の第 2 の定電流源との間にそれぞれ接続され、定電流値制御信号に制御されて開閉する複数の第 2 のスイッチ手段とを有し、可変定電流供給手段の出力する定電流値に応じて、可変周波数発振手段の発振周波数を制御する発振制御手段とを含む。

【0063】請求項 26 記載の同期型半導体記憶装置は、請求項 25 記載の同期型半導体記憶装置の構成に加えて、可変発振手段と位相比較手段との間に接続され、可変発振手段の出力のサイクル数を計数して、所定サイクル分周した出力を位相比較手段に与えるカウント手段をさらに備える。

【0064】請求項 27 記載の同期型半導体記憶装置は、請求項 26 記載の同期型半導体記憶装置の構成において、可変定電流供給手段は、さらに、可変周波数発振手段のスタンバイ動作電流を供給する待機動作電流供給手段を含む。

【0065】請求項 28 記載の同期型半導体記憶装置は、請求項 27 記載の同期型半導体記憶装置の構成に加えて、コラムアドレスストロブ信号活性化後、記憶デ

22

ータ出力までの外部クロック信号のサイクル数を表わすレイテンシデータを外部から受けて保持する命令レジスタとをさらに備え、待機動作電流供給手段は、レイテンシデータに応じて、スタンバイ動作電流値を変化させる可変定電流源をさらに含む。

【0066】請求項 29 記載の同期型半導体記憶装置は、請求項 28 記載の同期型半導体記憶装置の構成に加えて、外部からのテストモード指定信号に応じて、待機動作電流供給手段を制御し、可変遅延手段のスタンバイ動作電流を所定の値とするテストモード制御手段をさらに備える。

【0067】請求項 30 記載の同期型半導体記憶装置は、請求項 1 記載の同期型半導体記憶装置の構成において、内部同期信号発生手段は、外部クロック信号を受け、遅延して出力する第 1 の可変遅延手段を含み、第 1 の可変遅延手段は、外部クロック信号を受け遅延して出力する、互いにカスケード接続された複数段の第 1 の遅延バッファ回路を有し、外部クロック信号を受け、遅延して出力する第 2 の可変遅延手段をさらに含み、第 2 の可変遅延手段は、外部クロック信号を受け遅延して出力する、互いにカスケード接続された複数段の第 2 の遅延バッファ回路を有し、外部クロック信号および複数段の第 1 の遅延バッファ回路の出力をそれぞれ受けて、外部クロック信号の周期以内の遅延量の第 1 の遅延バッファ回路の段数を検知し、定電流値制御信号を出力する演算手段をさらに含み、演算手段は、所定段数の第 1 の遅延バッファ回路の出力遅延が外部クロック信号の周期と一致するように定電流値制御信号を更新し、定電流値制御信号に応じて、出力ノードに供給する定電流値をデジタル的に変化させる可変定電流供給手段と、可変定電流供給手段の出力する定電流値に応じて、第 1 および第 2 の各遅延バッファ回路の遅延量を制御する遅延制御手段と、カスケード接続された第 2 の遅延バッファ回路のそれぞれの出力を受けて所定時間遅延した複数の内部制御信号を出力する内部制御信号発生手段をさらに含み、列選択手段の列選択動作および記憶データ読出動作ならびにデータ出力手段の記憶データ出力動作は、内部制御信号に制御される。

【0068】請求項 31 記載の同期型半導体記憶装置は、請求項 1 記載の同期型半導体記憶装置の構成において、内部同期信号発生手段は、内部クロック信号を出力する可変周波数発振手段と、外部クロック信号および内部クロック信号を受けて、位相差を検出し、第 1 および第 2 の比較信号を出力する位相比較手段と、第 1 および第 2 の比較信号を受け、第 1 の比較信号に応じて充放電ノードを充電し、第 2 の比較信号に応じて充放電ノードを放電するチャージポンプ手段と、充放電ノードの電位レベルを平滑化して、出力ノードに出力するループフィルタ回路と、出力ノードの電位レベルに応じて、可変周波数発振手段の発振周波数を制御する発振制御手段と、

外部電源電位の供給開始を検知して、出力ノードを所定の電位レベルに充電する充電手段を備える。

【0069】請求項3記載の同期型半導体記憶装置は、請求項1記載の同期型半導体記憶装置の構成において、内部同期信号発生手段は、外部クロック信号を受け遅延して2周期ごとに複数の内部制御信号を出力する第1の内部制御信号発生手段と、外部クロック信号を受け遅延して2周期ごとに第1の内部制御信号発生手段と交互に複数の内部制御信号を出力する第2の内部制御信号発生手段とを含み、第1の内部制御信号発生手段は、外部クロック信号の第1の立上りのエッジが検出されることに応じて、外部クロック信号を受けて遅延し出力する第1の遅延手段と、第1の遅延手段の出力と外部クロック信号とを受けて、第1の遅延手段の遅延時間と外部クロック信号の1周期との時間差を検出し、第1の立上がりエッジを含む周期の次の周期の第2の立上がりエッジに依りて時間差経過後に出力レベルを変化させる可変遅延手段と、可変遅延手段の出力を受けて、順次遅延させて複数の内部制御信号を出力する第2の遅延手段とを有し、第2の内部制御信号発生手段は、外部クロック信号の第2の立上りのエッジが検出されることに依りて、外部クロック信号を受けて遅延し出力する第3の遅延手段と、第3の遅延手段の出力と外部クロック信号とを受けて、第3の遅延手段の遅延時間と外部クロック信号の1周期との時間差を検出し、第2の立上がりエッジを含む周期の次の周期の第3の立上がりエッジに依りて、時間差経過後に出力レベルを変化させる可変遅延手段と、可変遅延手段の出力を受けて、順次遅延させて複数の内部制御信号を出力する第4の遅延手段とを有し、列選択手段の列選択動作および記憶データ読出動作ならびにデータ出力手段の記憶データ出力動作は、複数の内部制御信号に制御される。

【0070】

【発明の実施の形態】

〔実施の形態1〕図1は本発明の実施の形態1の内部同期信号発生回路100の構成を示す概略ブロック図であり、図2は、実施の形態1の同期型半導体記憶装置1000の構成を示す概略ブロック図である。

【0071】図1および第2を参照して、まず、実施の形態1の同期型半導体記憶装置1000の構成について

説明する。
【0072】図2を参照して、同期型半導体記憶装置1000は、外部制御信号入力端子2ないし8を介して与えられる外部クロック信号Ext. CLKおよび外部制御信号/RAS、/CASを受けて、内部制御信号を発生するコントロール回路90と、メモリセルが行列状に配列されるメモリセルアレイ10と、アドレス信号入力端子8を介して与えられる外部アドレス信号A0～Aiを受け、コントロール回路90の制御のもとに内部行アドレス信号および内部列アドレス信号を発生するアドレ

スバッファ18と、コントロール回路90の制御のもとに、活性化され、アドレスバッファ18から与えられる内部行アドレス信号をデコードし、メモリセルアレイ10の対応する行（ワード線）を選択するロウデコーダ12とを含む。

【0073】外部制御信号入力端子4へ与えられる信号/RASは、半導体記憶装置の内部動作を開始させ、かつ内部動作の活性期間を決定するロウアドレスストロブ信号である。この信号/RASの活性化時、ロウデコーダ12等のメモリセルアレイ10の行を選択する動作を関連する回路は活性状態とされる。外部制御信号入力端子6へ与えられる信号/CASは、コラムアドレスストロブ信号であり、メモリセルアレイ10における列を選択する回路を活性状態とする。

【0074】後に説明するように、信号/RASおよび信号/CASの取込動作は、外部信号Ext. CLKに同期して行なわれるが、内部クロック信号int. CLKを発生する内部同期信号発生回路100の同期動作は、この信号/RASの入力をトリガとして開始される。

【0075】同期型半導体記憶装置1000は、さらに、コントロール回路90の制御のもとに活性化され、アドレスバッファ18からの内部列アドレス信号をデコードし、メモリセルアレイ10の対応する複数の列を同時に選択する列選択信号を発生するコラムデコーダ14と、メモリセルアレイ10の選択された行に接続するメモリセルのデータを検知し増幅するセンスアンプと、コラムデコーダ14からの列選択信号に依りて、メモリセルアレイ10の選択された複数の列を内部データバスに接続するI/O回路と、コントロール回路90の制御のもとに、内部データバスに出力された読出データを受けて、アドレスバッファ18から与えられる内部セクタアドレスに依りて、対応するメモリセルのデータを選択して出力するセクタ回路28と、コントロール回路90の制御のもとに、内部クロック信号int. CLKに同期して、セクタ回路28からの読出データをデータ入出力端子32に出力する出力回路30とを含む。

【0076】コントロール回路90は、信号入力端子2に与えられる外部クロック信号Ext. CLKを受けるクロックバッファ20からの出力に基づいて、外部制御信号入力端子4に与えられる行アドレスストロブ信号/RASを受けてRASバッファ22から出力される内部行アドレスストロブ信号の活性化に依りて同期動作を開始する内部同期信号発生回路100と、内部同期信号発生回路100からの内部クロック信号int. CLKを受けて、所定の時間ずつ遅延して内部制御信号を出力する内部制御信号発生回路26とを含む。

【0077】外部制御信号入力端子6に与えられる列アドレスストロブ信号/CASを受けるCASバッファ24や、アドレス信号入力端子8を介して与えられるア

25

ドレス信号に対するアドレスバッファ18の列アドレス信号の取込動作は内部クロック信号 int_CLK に同期して行なわれる。

【0078】次に、内部同期信号発生回路100の構成について説明する。図1を参照して、同期信号発生回路100は、外部クロック信号 Ext_CLK を受けて、所定の時間遅延して出力する遅延回路110と、外部クロック信号 Ext_CLK および遅延回路110の出力を受けて、両者の位相差を検出する位相比較器120と、位相比較器120の検出結果に応じて、定電流源スイッチ信号 CS を出力するスイッチ用デコーダ130と、信号 CS を受けて、対応する定電流値を供給する可変定電流源回路140と、可変定電流源回路140の出力する定電流値に応じて、遅延回路110の遅延量を制御する制御信号を出力する遅延制御回路150とを含む。

【0079】遅延回路110は、 n 段のカスケード接続されたインバータ回路 $Inv.1 \sim Inv.n$ を含む。各インバータ回路 $Inv.i$ ($i=1, 2, \dots, n$)は、各々 p チャネルMOSトランジスタ $P1i$ を介して電源電位 Vcc と結合し、 n チャネルMOSトランジスタ $N1i$ を介して接地電位 GND と結合する。各 p チャネルMOSトランジスタ $P1i$ のゲート電位レベルおよび n チャネルMOSトランジスタ $N1i$ のゲート電位レベルは、遅延制御回路150により制御される構成となっている。

【0080】すなわち、遅延回路110を構成するインバータ回路 $Inv.1 \sim Inv.n$ に供給される電流値は遅延制御回路150により制御される。言い換えれば、各インバータ回路 $Inv.i$ ($i=1, 2, \dots, n$)における遅延時間は、遅延制御回路150からの制御信号により変化する構成となっている。

【0081】可変定電流源回路140は、 m 個の内部定電流源回路 $CS11, CS21, \dots, CSm1$ と、 m 個の内部定電流源回路 $CS12, CS22, \dots, CSm2$ とを含む。定電流源回路 $CS11$ は、一端が電源電位 Vcc と接続し、他端定電流源スイッチ信号 CS により開閉されるスイッチ回路 $SW11$ を介して出力ノード140aと接続している。

【0082】その他の定電流源回路 $CS21, \dots, CSm1$ は、同様にそれぞれ一端が電源電位 Vcc と接続し、他端はスイッチ回路 $SW21, \dots, SWm1$ をそれぞれ介して出力ノード140aと接続している。

【0083】一方、内部定電流源回路 $CS12, CS22, \dots, CSm2$ も、それぞれ一端は、定電流源スイッチ信号 CS により制御されて開閉するスイッチ回路 $SW12, SW22, \dots, SWm2$ を介して出力ノード140aと接続し、他端は、それぞれ電源電位 GND と接続している。

【0084】したがって、出力ノード140aに供給さ

26

れる定電流値はスイッチ回路 $SW11, SW21, \dots, SWm1$ が導通状態となることにより増加し、スイッチ回路 $SW12, SW22, \dots, SWm2$ がそれぞれ導通状態となることにより減少する構成となっている。

【0085】したがって、定電流源スイッチ信号 CS の値に応じて、スイッチ回路 $SW11, SW21, \dots, SWm1$ およびスイッチ回路 $SW12, SW22, \dots, SWm2$ が開閉されることで、対応する定電流値が140aに出力され、この定電流値に応じて、後に説明するように遅延制御回路150が動作することになる。

【0086】可変定電流源回路140は、さらに、常時出力ノード140aに対して、所定の定電流値を供給するフリーラン用電流源144を含む。すなわち、スイッチ回路 $SW11 \sim SWm1$ および $SW12 \sim SWm2$ がすべて非導通状態となっている場合でも、常に一定のフリーラン用電流が出力ノードに供給される構成となっている。

【0087】遅延制御回路150は、出力ノード140aとドレインが、接地電位 GND とソースが接続する n チャネルMOSトランジスタ $N31$ と、ソースが接地電位 GND と、ゲートが n チャネルMOSトランジスタ $N31$ のゲートと接続する n チャネルMOSトランジスタ $N32$ とを含む。 n チャネルMOSトランジスタ $N31$ のドレインとゲートは接続されており、 n チャネルMOSトランジスタ $N31$ と $N32$ とでカレントミラー回路を構成している。

【0088】遅延制御回路150は、さらに、ソースが電源電位 Vcc と、ドレインが n チャネルMOSトランジスタ $N32$ のドレインと接続する p チャネルMOSトランジスタ $P31$ を含む。 n チャネルMOSトランジスタ $N32$ のゲートと、遅延回路110の n チャネルMOSトランジスタ $N11 \sim N1n$ のゲートとが接続し、これら n チャネルMOSトランジスタ $N11 \sim N1n$ を流れるドレイン電流値がカレントミラー回路を構成する n チャネルMOSトランジスタ $N31$ および $N32$ を流れる電流値により制御される。

【0089】一方、 p チャネルMOSトランジスタ $P31$ のゲートと遅延回路110中の p チャネルMOSトランジスタ $P11 \sim P1n$ のゲートとが接続している。ここで、 p チャネルMOSトランジスタ $P31$ のゲートとドレインとが接続されているため、 p チャネルMOSトランジスタ $P31$ と $P11$ とでカレントミラー回路を構成している。したがって、 p チャネルMOSトランジスタ $P11 \sim P1n$ のそれぞれに流れるドレイン電流は、 p チャネルMOSトランジスタ $P31$ に流れるドレイン電流、すなわち、カレントミラー回路を構成する n チャネルMOSトランジスタ $N31$ および $N32$ に流れるドレイン電流値と同一の値となる構成となっている。

【0090】したがって、遅延回路110を構成するインバータ回路 $Inv.1 \sim Inv.n$ の各々に供給され

27

る電流値は、可変定電流源回路140の出力ノード140aに供給される電流値により制御される。

【0091】次に、内部同期信号発生回路100の動作について説明する。まず、外部クロック信号Ext. CLKの1周期の時間に対して、遅延回路110の遅延時間が小さい場合について考える。この場合、外部クロック信号Ext. CLKを受けて、遅延回路110から出力される信号は、外部クロック信号Ext. CLKに比べて位相が進んでいることになる。位相比較器120において検出された、上記位相差に応じて、スイッチ用デコード130は、遅延回路110から出力される信号の位相の進みを遅らせるように、定電流源スイッチ信号CSにより、可変定電流源回路140を制御して、出力ノード140aに出力される定電流値を減少させる。これに応じて、nチャネルMOSトランジスタN31およびN32より構成されるカレントミラー回路を流れるドレイン電流値が減少し、遅延回路110を構成する各インバータ回路Inv. i (i=1, 2, …n)に供給される電流値も減少する。

【0092】したがって、インバータ回路Inv. 1～Inv. nの遅延時間が増大し、外部クロック信号Ext. CLKを受けて、遅延回路110から出力される信号の位相が遅れることになる。

【0093】すなわち、外部クロック信号Ext. CLKの位相と、遅延回路110から出力される信号との位相差は、両者が同期する方向に変化することになる。

【0094】一方、遅延回路110の遅延時間が、外部クロック信号Ext. CLKの1周期の時間よりも大きい場合は、上記と逆の動作を行なうことで、外部クロック信号Ext. CLKと、遅延回路110から出力される内部クロック信号int. CLKとが同期することになる。

【0095】内部同期信号発生回路100においては、従来のPLL回路50と異なり、位相比較器120における位相比較結果に応じて、遅延回路110を構成するインバータ回路Inv. 1～Inv. nに供給される電流値が、ディジタル的にかつ位相比較器の比較結果に対して線形に変化することが可能であるため、出力される内部クロック信号int. CLKのジッタの発生を抑制することが可能である。

【0096】さらに、遅延回路110を構成するインバータ回路Inv. 1～Inv. nのそれぞれに供給される電流値が広い範囲にわたって線形に変化するため、これらインバータ回路Inv. 1～Inv. nに供給される電流値が大きい状態、すなわち、外部クロック信号Ext. CLKに対して同期動作が完了するまでの時間が短い動作領域においても、ジッタの発生を抑制することが可能となる。

【0097】可変定電流源回路140は、さらに、出力ノード140aに対して所定電流値を常に供給するフリ

28

ーラン用電流源144を有しているので、遅延回路110のスタンバイ状態における遅延量をこのフリーラン用電流源144が供給する電流値により制御することが可能で、予め、外部クロック信号Ext. CLKの周期に対して同期がとりやすいように遅延回路110の遅延量を設定しておくことができ、さらに外部クロック信号Ext. CLKに対する同期完了までの時間をさらに低減することが可能となる。

【0098】図3は、SDRAM等の高速DRAMにおいて、行アドレス信号のアクセスが終了した後、列アドレス信号のアクセスをするまでの外部クロック信号の変化の様子を示すタイミングチャートである。

【0099】図3(a)は所定の外部クロック信号におけるローアクセスからコラムアクセスまでの外部クロック信号の変化を、(b)は、(a)における外部クロック信号Ext. CLKの周期の2分の1の外部クロック信号に対するローアクセスからコラムアクセスまでの波形の変化を、(c)は、(a)におけるよりもさらに4分の1の周期の外部クロック信号Ext. CLKにおける場合のローアクセスからコラムアクセスまでの外部クロック信号の変化を示すタイミングチャートである。

【0100】すなわち、図3(a)に示した場合から、順次(b)に示す場合、(c)に示す場合というように、外部クロック信号を高速化した場合でも、同期型半導体記憶装置における内部回路の動作は、それに応じて高速化されるわけではなく、外部クロック信号に合わせて行アドレスのアクセスを開始してからデータが出力するまでの時間数は変化せず、たとえば、ローアクセスからコラムアクセスまでのクロック数が増加していくことになる。

【0101】このような傾向は、外部クロック信号の周波数が高周波になればなるほど顕著になり、アクセスを開始してからデータが出力されるまでの外部クロック信号Ext. CLKのサイクル数が増加することになる。

【0102】この場合、一般に高速動作が要求されるのはコラムアクセス後データ出力が完了するまでの時間であり、この動作も外部クロック信号Ext. CLKに応じて高速化できるわけではないため、外部クロック信号の高周波化に伴って、コラムアクセスからデータ出力までのクロック数(以下、レイテンシと呼ぶ)も増加する。しかしながら、コラムアクセス後のデータ出力は、一般に複数のデータが連続して出力されるのに対し、ローアクセスについては、1度に指定する行アドレスは1つであるため、高速化の要求は小さい。

【0103】以上の点を考慮すると、同期型半導体記憶装置に搭載される内部同期信号発生回路100の外部クロック信号Ext. CLKに対する同期完了までの時間が十分小さくなった場合、ローアクセスが行なわれたことをトリガとして、コラムアクセスが行なわれるまでの複数クロックの期間に、内部同期信号発生回路100が

29

外部クロック信号 E_{xt} 、 CLK に対する同期動作を行なうという動作モードが可能となる。

【0104】すなわち、このような動作モードでは、内部同期信号発生回路 100 は、常時外部クロック信号 E_{xt} 、 CLK に対して同期動作を行なう必要がなくなる。

【0105】つまり、ローアクセスに関しては、内部クロック信号 int 、 CLK についての同期動作は不要となり、ローアクセスの期間、すなわち、行アドレスの取込みからワード線の活性化およびメモリセルデータの増幅を行なうまでの期間を外部クロック信号 E_{xt} 、 CLK と内部クロック信号 int 、 CLK の同期動作に利用することが可能となる。

【0106】コラムアクセスについては、十分に内部クロック信号 int 、 CLK が外部クロック信号 E_{xt} 、 CLK に同期が完了した状態で行なうことが可能で、コラムアクセス動作の高速性には何ら影響がない。

【0107】図 4 は、実施の形態 1 の同期型半導体記憶装置 1000 において、上記のような動作を行なった場合の同期型半導体記憶装置 1000 内の主要な信号の時間変化を示すタイミングチャートである。

【0108】時刻 t_1 における外部クロック信号 E_{xt} 、 CLK の立上がりの位置において、行アドレス信号 A_x がアドレスバッファ 18 に取込まれる。これに応じて、アドレスバッファ 18 から出力される内部行アドレス信号に応じて、ロウデコーダ 12 は、対応するワード線の電位を“H”レベルに変化させる。

【0109】センスアンプは、上記選択されたワード線に接続するメモリセル中の記憶データに応じてこれらメモリセルに接続するビット線対に生じた電位差を増幅し、ビット線対の一方を“H”レベルの電位に、ビット線対の他方を“L”レベルの電位とする。

【0110】一方で、行アドレスストロブ信号 $/RAS$ が活性状態（“L”レベル）となるのに応じて、内部同期信号発生回路 100 は外部クロック信号 E_{xt} 、 CLK に対する同期動作を開始し、時刻 t_1 における外部クロック信号 E_{xt} 、 CLK の立上がりのエッジから 3 サイクル後の時刻 t_5 における外部クロック信号 E_{xt} 、 CLK の立上がりのエッジにおいて、同期動作を完了し、以後は同期した内部クロック信号 int 、 CLK を出力する。時刻 t_1 から、外部クロック信号 E_{xt} 、 CLK の 4 サイクル後の時刻 t_6 において、列アドレスがアドレスバッファ 18 に取込まれ、これに応じて、アドレスバッファ 18 から出力される内部列アドレス信号に対応する複数のメモリセル列をコラムデコーダ 14 が選択する。コラムデコーダ 14 からの列選択信号に応じて、 I/O 回路は、選択された列に対応するビット線対と I/O 線対とを接続し、これに応じて、内部データベースに読出された記憶データに対応する電位が出力される。セレクト回路 28 は、内部データベースに出力された

30

複数のメモリセルに対応するデータのうち、アドレスバッファ 18 から出力される内部セレクト信号に応じて、対応するメモリセルのデータを、内部制御信号発生回路 26 からの内部制御信号に応じて、出力回路 30 に出力する。

【0111】出力回路 30 は、セレクト回路 28 からの読出データに応じて、データ入出力端子 32 の電位レベルを対応する電位に駆動する。時刻 t_6 において、列アドレスの取込みが行なわれた後、外部クロック信号 E_{xt} 、 CLK の 2 サイクル後に相当する時刻 t_8 において、データ入出力端子 32 からのデータの読出しが行なわれる。

【0112】図 5 は、図 2 に示した同期型半導体記憶装置 1000 における内部制御信号発生回路 26 の構成を示す概略ブロック図である。

【0113】上述したとおり、内部制御信号発生回路 26 からの制御信号に基づいて、アドレスバッファ 18 における列アドレスの取込動作、コラムデコーダ 14 におけるコラム選択動作、 I/O 回路における内部データベースへのデータ出力動作、セレクト回路 28 におけるデータ選択動作、および出力回路 30 におけるデータ出力動作のそれぞれが制御される。

【0114】図 4 において説明したとおり、実施の形態 1 の同期型半導体記憶装置 1000 においては、行系の回路の動作は、行アドレスストロブ信号 $/RAS$ の活性化に応じて、内部クロック信号 int 、 CLK に同期することなく行なわれ、列系の回路動作のみが内部制御信号発生回路 26 からの内部制御信号に応じて制御される構成となっている。

【0115】すなわち、外部制御信号入力端子 4 に与えられる行アドレスストロブ信号 $/RAS$ を受ける RAS バッファ 22 は、外部制御信号入力端子 2 に与えられる外部クロック信号 E_{xt} 、 CLK を受けるクロックバッファ 20 からの出力に応じて、外部クロック信号 E_{xt} 、 CLK の立上がりのエッジにおいて、行アドレスストロブ信号 $/RAS$ が活性状態（“L”レベル）となっている場合に、活性な内部行アドレスストロブ信号（“H”レベルが活性状態であるとする。）を出力する。これに応じて、行系の回路動作の制御が開始される。すなわち、取込まれた行アドレス A_x に対応する行が、ロウデコーダ 12 により選択される。

【0116】その後、内部行アドレスストロブ信号が、遅延回路 262 により所定時間遅延した信号に応じて、ロウデコーダ 12 は、選択されたワード線の電位レベルを“H”レベルへと変化させる。

【0117】ワード線を活性化させた信号が、遅延回路 264 によりさらに所定時間遅延した信号により、センスアンプが活性化され、上記選択されたワード線に接続するメモリセルの記憶情報に応じて、ビット線対の電位レベルが増幅される。

31

【0118】一方で、信号／RASが活性状態となり、RASバッファ22から出力される内部行アドレスストロブ信号が活性状態となると、ANDゲート42が開状態となり、外部制御信号入力端子2に与えられる外部クロック信号Ext. CLKを受けるクロックバッファ20から内部同期信号発生回路100に外部クロック信号Ext. CLKが与えられる。すなわち、信号／RASが活性化した後、内部同期信号発生回路100には外部クロック信号Ext. CLKが与えられることとなり、信号／RASをトリガとして、内部同期信号発生回路100の同期動作が開始することになる。

【0119】内部同期信号発生回路100から出力された内部クロック信号int. CLKに応じて、まずCASバッファ24が制御され、外部制御信号入力端子6に与えられる列アドレスストロブ信号／CASが活性状態（“L”レベル）である場合は、このCASバッファ24に制御されて、アドレスバッファ18において、アドレス信号入力端子8を介して与えられる列アドレスがアドレスバッファ18に取込まれる（コラムアドレスがラッチされる）。

【0120】すなわち、信号／CASが活性化する時点においては、内部同期信号発生回路100から出力される内部クロック信号int. CLKは外部クロック信号Ext. CLKに対して同期しているので、以後の列系回路の動作は、外部クロック信号Ext. CLKに同期した内部クロック信号int. CLKに同期して制御されることになる。

【0121】信号／CASが活性化後の内部クロック信号int. CLKの1サイクル目においては、たとえば、列アドレスの取込みが行なわれた後、内部クロック信号int. CLKが遅延回路266により所定の時間遅延した信号によりコラムデコーダ14が制御されてアドレスのデコードが行なわれる。さらに、このアドレスデコードを指示した信号が遅延回路268により所定の時間遅延した信号によりコラム選択信号が活性となって、列アドレスにより指定された複数のメモリセル列が同時に選択される。

【0122】さらに、このコラム選択を活性化した信号が、遅延回路270により所定の時間遅延した信号により、内部データバスを駆動するプリアンプ（図示せず）を活性化するためのプリアンプ増幅信号が生成される。

【0123】一方、信号／CASが活性化後の内部クロック信号int. CLKの2サイクル目においては、内部クロック信号int. CLKにより、内部データバスが制御されて、内部データバスが所定のプリチャージ電位に充電された後、プリアンプ回路と内部データバスとを接続するトランスファゲートが導通状態となって、選択されたメモリセルからのデータが内部データバスに出力される。このバス制御を行なった内部制御信号が遅延回路272により所定の時間遅延した信号によりセレクト

32

回路28が活性化され、セレクト回路28は、アドレスバッファ18から与えられる内部セレクト信号に応じて、読出された複数のメモリセルに対応するデータのうち、選択されたメモリセルに対応するデータを出力回路30に出力する。セレクト回路を活性化した信号が、遅延回路274により所定の時間遅延した信号により、出力回路30におけるラッチ回路（図示せず）が、セレクト回路28から出力された読出データをラッチする。

【0124】信号／CASが活性化した後の3サイクル目において、内部クロック信号int. CLKの活性化に応じて、出力回路30中の出力バッファ回路（図示せず）が活性化される。この出力バッファ制御信号が遅延回路276により所定の時間遅延した信号により、データ入出力端子32の電位レベルを出力回路30が対応する電位に駆動する。

【0125】なお、以上の説明では、信号／CASの活性化後の1サイクル目において、CASバッファ制御信号からプリアンプ制御信号までが出力され、信号／CAS活性化後の2サイクル目においてバス制御信号からデータ前ラッチ信号までが出力され、信号／CAS活性化後の3サイクル目において出力バッファ制御手段および出力制御信号が出力されるものとして説明したが、実際には、すべてのサイクルにおいて、たとえば、CASバッファ制御信号、バス制御信号、出力バッファ制御信号等は出力されている。ただし、この場合、たとえば読出されたデータがプリアンプにおいて増幅される前におけるバス制御信号に伴う動作、たとえば信号／CAS活性化後の1サイクル目におけるバス制御信号に伴う動作は意味をなさず、信号CAS活性化後の所定のサイクル後において、データ入出力端子32に出力されるデータのみが意味ある値として外部に読出される。

【0126】以上説明した内部制御信号発生回路26の構成により、外部クロック信号Ext. CLKに同期して、信号／RASが活性化していることが検知された後、行系の回路の動作が起動され、同時に、内部同期信号発生回路100の同期動作も、信号／RASの活性化をトリガとして開始される。列系回路の動作は、内部同期信号発生回路100から出力される内部クロック信号int. CLKに同期して制御されることになる。

【0127】すなわち、信号／RASが活性化していない期間は、内部同期信号発生回路100は同期動作を行なわないため、内部同期信号発生回路100での消費電力が軽減され、スタンバイ状態における同期型半導体記憶装置1000の消費電力が抑制される。なお、以上の説明においては、信号／RASが活性化後、4サイクル目において列アドレスの取込みが行なわれ、列アドレスの取込みが行なわれた後、外部クロック信号Ext. CLKの2サイクル後においてデータが外部に出力される構成としたが、いずれのサイクル数についても、特にこの値に限定されることなく、外部クロック信号Ext. CLK

CLKの周期に応じて変化させることが可能である。

【0128】〔実施の形態2〕図6は、本発明の実施の形態2の内部同期信号発生回路102の構成を示す概略ブロック図である。

【0129】この内部同期信号発生回路102の搭載される同期型半導体記憶装置の構成は、図2に示した同期型半導体記憶装置1000の構成において、単に内部同期信号発生回路のみを置換えたものであるため、その構成の詳細の説明は省略する。

【0130】実施の形態2の内部同期信号発生回路102は、リングオシレータ回路114と、リングオシレータ回路の出力と外部クロック信号Ext、CLKとを受けて、両者の位相の比較を行なう位相比較器120と、位相比較器120の比較結果に応じて、所定の電位を出力するチャージポンプ180と、チャージポンプ180の出力を受けて、対応するデジタル信号の定電流源スイッチ信号CSを出力するアナログ／デジタル変換回路（以下A/D変換回路と呼ぶ）182と、定電流源スイッチ信号CSに応じて、対応する電流値を出力ノード140aに出力する可変定電流源回路140と、出力ノード140aに出力される定電流値に応じて、リングオシレータ回路114の発振周波数を制御する遅延制御回路150を含む。

【0131】可変定電流源回路140および遅延制御回路150の構成は実施の形態1の内部同期信号発生回路100の構成と同様であるため、同一部分に同一参照符号を付してその説明は省略する。

【0132】位相比較器120およびチャージポンプ回路180の構成は、図43に示した従来のPLL回路50における位相比較回路52およびチャージポンプ回路53の構成と同様である。

【0133】したがって、実施の形態2の内部同期信号発生回路102の構成は、実施の形態1の内部同期信号発生回路100の構成に比べて、実施の形態1の内部同期信号発生回路100が一種のDLL回路として構成されていたのに対し、内部同期信号発生回路102は一種のPLL回路として構成されている点異なる。

【0134】リングオシレータ回路114の構成も、基本的には、従来のPLL回路50におけるリングオシレータ回路56と同様である。すなわち、リングオシレータ回路114は、奇数段（ n 段）のインバータ回路Inv. 1～Inv. n がリング状に接続され、各々のインバータ回路Inv. i （ $i=1, 2, \dots, n$ ）に対して供給される電流値が、電源電位Vccとインバータ回路Inv. i との間に接続され、そのゲート電位が遅延制御回路150により制御されるpチャネルMOSトランジスタP1iと、インバータ回路Inv. i と接地電位GNDとの間に接続され、そのゲート電位が遅延制御回路150により制御されるnチャネルMOSトランジスタN1iによって制御される構成となっている。

【0135】ここで、リングオシレータ回路114を構成する各インバータ回路Inv. i に供給される電流値は、実施の形態1における内部同期信号発生回路100と同様に、可変定電流源回路140から供給されるデジタル的に変化する定電流値により制御される。したがって、実施の形態1と同様に、各インバータ回路Inv. i に供給される電流値が比較的大きく、すなわち、外部から供給される外部クロック信号Ext、CLKに対する同期動作がより早く完了する動作状態においても、ジッター等が発生することなく安定な内部クロック信号int、CLKを発生することが可能となる。

【0136】図7は、実施の形態2の同期型半導体記憶装置の動作を示すタイミングチャートである。

【0137】時刻 t_1 における外部クロック信号Ext、CLKの立上りのエッジにおいて、信号/RASが活性状態（“L”レベル）であることが検知されると、行アドレス信号Axがアドレスバッファ18に取込まれる。これに応じて、時刻 t_2 においてロウデコード12が選択されたワード線電位を“H”レベルに昇圧する。その後時刻 t_3 において、センスアンプが選択されたワード線に接続するメモリセルに対応するビット線対の電位レベルを記憶データに応じて増幅する。一方、時刻 t_1 において信号/RASが活性状態となるのに応じて、内部同期信号発生回路102は、同期動作を開始する。図7に示した例においては、時刻 t_1 後の内部クロック信号Ext、CLKの3サイクルの期間中に内部同期信号発生回路102は同期動作を完了し、時刻 t_4 において、外部クロック信号Ext、CLKと同期した内部クロック信号int、CLKを出力する。

【0138】時刻 t_1 から4サイクル後の時刻 t_5 における外部クロック信号Ext、CLKの立上りのエッジ、すなわち内部クロック信号int、CLKの立上りのエッジに応じて、アドレスバッファ18に列アドレスAyが取込まれ、これに応じて、列系動作が駆動される。すなわち、時刻 t_6 において、ビット線対と対応するI/O線対が接続され、さらにこのI/O線対電位が内部データバスに伝達される。時刻 t_7 において、出力回路30は、データ入出力端子32の電位レベルの駆動を開始し、時刻 t_5 におけるコラムアクセス後2サイクル目にあたる時刻 t_8 における外部クロック信号Ext、CLKの立上りのエッジに応じて、データ入出力端子32に出力される読出データD0が外部に読出される。

【0139】すなわち、実施の形態2においても、信号/RASが活性状態となるのに応じて、内部同期信号発生回路102は同期動作を開始するので、信号/RASが不活性である期間は、内部同期信号発生回路102は同期動作を行わずフリーラン用電源144により供給される電流値に応じた周波数で発振することとなり、スタンバイ状態における同期型半導体記憶装置の消費電力

を低減することが可能である。

【0140】図8は実施の形態2の同期型半導体記憶装置において、コラムアクセスを2回連続して行なう場合、すなわち1つのワード線で選択されたメモリセルのうち異なる列に属するメモリセルから連続してデータを出力する場合の動作を説明するタイミングチャートである。

【0141】この場合も、図7において説明したのと全く同様に、時刻t1において信号/RASが活性状態となっているのに応じて、行アドレスが取込まれると同時に、内部同期信号発生回路102の動作が駆動される。その後選択されたワード線の電位レベルが駆動され、これに応じて、センスアンプが対応するビット線対に接続するメモリセル中の記憶データに応じてビット線対電位レベルを増幅する。

【0142】時刻t1後の3サイクル目の時刻t2における外部クロック信号Ext、CLKの立上がりのエッジにおいて、内部同期信号発生回路102は、同期動作を完了し、外部クロック信号Ext、CLKと同期した内部クロック信号int、CLKをし始める。

【0143】一方、この時刻t2において、まず第1の列アドレス信号Ay1がアドレスバッファ18に取込まれ、これに応じて、対応するビット線対が時刻t3において、I/O線対と接続され、内部データバスに読出データが出力される。続いて、時刻t4における外部クロック信号Ext、CLKの立上がりのエッジにおいて、第2の列アドレス信号Ay2がアドレスバッファ18に取込まれ、これに応じて、対応するビット線対が時刻t5においてI/O線対と接続され、読出された第2のデータが内部データバスに出力される。時刻t6において、まず1番目に読出されたデータD0が出力回路30からデータ入出力端子32に出力され、続いて次のサイクルの時刻t7における外部クロック信号Ext、CLKの立上がりのエッジに応じて、2番目に読出されたデータD1が外部に読出される。

【0144】すなわち、同期型半導体記憶装置において、1つのワード線により選択されるメモリセルからのデータを連続して外部に出力する場合でも、図7において説明したのと同様に、信号/RASの活性化に応じて、内部同期信号発生回路102が同期動作を開始する構成とすることが可能である。

【0145】図9は、図8において説明したように、データを連続して出力する場合の外部クロック信号Ext、CLKと各動作のタイミングの関係を示すタイミングチャートである。

【0146】図9(a)は、所定の周波数の外部クロック信号Ext、CLKにおいて、2つのデータを連続して出力する場合の動作波形を、(b)は(a)の場合の2倍の周波数で動作する場合の動作波形を、(c)は、(a)の場合の4倍の周波数で動作する場合の動作波形

をそれぞれ示す。

【0147】外部クロック信号Ext、CLKの周波数の増加に伴って、アドレスアクセスからデータ出力までの期間も短縮化することが可能であるが、その短縮化には内部回路の動作時間によって決まる下限値が存在する。したがって、図9(a)においては、アドレスアクセスからデータ出力までの外部クロック信号Ext、CLKのサイクル数は2サイクルであり、(b)においては3サイクルであるのに対し、(c)においては5サイクルであって、外部クロック信号Ext、CLKの周期の減少ほどにはアドレスアクセスからデータ出力までの時間は短縮されない。

【0148】したがって、逆に外部クロック信号Ext、CLKの周波数が大きくなるに従って、アドレスアクセスからデータ出力までの間に含まれる外部クロック信号Ext、CLKのサイクル数は増加するので、この期間に内部同期信号発生回路102が外部クロック信号に対する同期動作を完了できればよい。

【0149】図10は、図9に示した連続読出動作における各信号の変化をより長期間にわたって示したタイミングチャートである。

【0150】外部行アドレスストローブ信号/RASの活性化に応じて、内部行アドレスストローブ信号RASが活性状態(“H”レベル)となり、その後最初の外部クロック信号Ext、CLKの立上がりのエッジに応じて行アドレスの取込みが行なわれる。内部行アドレスストローブ信号RASが活性状態である期間に、たとえば外部列アドレスストローブ信号CASが2回活性化することで、内部列アドレスストローブ信号CASが2度“H”レベルとなっている期間中における外部クロック信号Ext、CLKの立上がりのエッジにおいて、それぞれ列アドレス信号の取込みが2回行なわれる。その後、内部行アドレスストローブ信号の不活性化に応じて、内部同期信号発生回路102の動作はリセットされ、以後は、内部同期信号発生回路はフリーラン状態(もともとフリーラン用電源144により供給される電流値によって決まる遅延での動作周波数の動作状態)で動作することになる。

【0151】実施の形態2において示したPLL回路では、以上のようにフリーラン状態となった後は外部クロック信号とは全く独立に内部クロック信号int、CLKが動作することになる。

【0152】一方、実施の形態1に示したDLL回路の内部同期信号発生回路100では、フリーラン状態となった後、すなわち、もともとフリーラン用電源により設定される周波数で動作する状態になった後も、内部クロック信号int、CLKの立上がりのエッジと、外部クロック信号Ext、CLKの立上がりのエッジとを一致させた動作を行なわせることが可能である。

【0153】この様子を図11のタイミングチャートに

示す。したがって、実施の形態1の内部同期信号発生回路100においては、フリーラン状態となった後も内部クロック信号 int 、CLKの立上がりのエッジに関する限り外部クロック信号 Ext 、CLKと同期させて動作させることが可能である。

【0154】すなわち、外部クロック信号 Ext 、CLKが所定の周波数以下となり、その周期が一定時間以上となった場合は、内部同期信号発生回路100は、フリーラン状態で動作させることが可能である。

【0155】〔実施の形態3〕図12は、本発明の実施の形態3の内部同期信号発生回路200の構成を示す概略ブロック図である。

【0156】実施の形態3の内部同期信号発生回路200の構成は、以下の2点において実施の形態1の内部同期信号発生回路100の構成と異なる。

【0157】すなわち、第1には、実施の形態1におけるフリーラン用電源144は一定のフリーラン用電流値を供給するのみであったが、実施の形態3におけるフリーラン用電流源146は、外部からの制御信号に応じて、その供給する電流値を可変とできる構成となっている点である。

【0158】第2には、外部から与えられるレイテンシデータに基づいて、コマンドレジスタ190が上記フリーラン用電流源146の供給する電流値を制御する構成となっている点である。

【0159】その他の点は実施の形態1における内部同期信号発生回路100の構成と同様であり、同一部分には同一符号を付してその説明は省略する。

【0160】実施の形態3の内部同期信号発生回路200は、以下に説明するように、実施の形態1の同期信号発生回路100よりも、さらに出力する内部クロック信号 int 、CLKを外部クロック信号 Ext 、CLKに同期するまでに要するクロック数を減少させることが可能である。

【0161】すなわち、外部クロック信号 Ext 、CLKと遅延回路110から出力される内部クロック信号 int 、CLKとの位相の差が大きくなるほど、同期動作が完了するまでのクロック数はより多く必要になる。そこで、初期状態におけるフリーラン状態での遅延回路110における遅延量を外部クロック信号 Ext 、CLKの1周期の時間に近くなるように、予め設定しておけば、同期完了までに必要なクロック数の増加を抑制することができる。

【0162】たとえば、実施の形態1および2において説明したような外部クロック信号 Ext 、CLKに同期して高周波動作を行なう同期型半導体記憶装置においては、その列アクセスからデータ出力までのレイテンシの値が予めチップ上に記憶される構成となっている。このレイテンシの大きさは、一般に、外部クロック信号の周波数が高い領域で動作する場合ほど大きくなる。したが

って、このレイテンシの値として記憶されている値に合わせて、フリーラン状態での遅延回路110の遅延量を変更する構成とすることができる。

【0163】この場合、高周波動作であるほど、フリーラン状態での遅延量を小さくする構成とすることで、初期状態であるフリーラン状態から、外部クロック信号 Ext 、CLKに同期させるまでのクロック数を減少させることが可能である。すなわち、レイテンシの値が大きい場合は、高周波動作であって外部クロック信号 Ext 、CLKの周期が短いことから、内部遅延量を減少させるように遅延回路110を構成するインバータ Inv 、1～ Inv 、 n に供給される電流量を増大させておけばよい。逆に、レイテンシの値が少ない場合は、低周波動作であって、外部クロック信号 Ext 、CLKの周期が長いことから、内部遅延量を増大させるべく、インバータ Inv 、1～ Inv 、 n に供給する電流量を減少するように制御すればよい。

【0164】図13は、コマンドレジスタ190の構成を示す概略ブロック図である。すなわち、外部からレイテンシデータを同期型半導体記憶装置中のコマンドレジスタ196に記憶させる場合は、外部アドレス信号入力端子8を介して与えられるアドレス信号をバッファ回路192a、192b…、192cを介して、マルチプレクサ194に与え、マルチプレクサ194からコマンドレジスタ196にデータを書込む構成としている。ここで、マルチプレクサ194の動作は、所定の外部制御信号の組合せにより指定されるレイテンシデータ書込制御信号MDSの活性化に応じて活性化されるものとする。

【0165】フリーラン用電流源146は、一端が電源電位 Vcc と接続し、他端がそれぞれスイッチ回路SF1～SF4により出力ノード140aと接続する内部定電流源CF1～CF4を含む。

【0166】コマンドレジスタ196中のレイテンシデータに基づいて、スイッチ制御回路198がフリーラン用電流源146中のスイッチ回路SF1～SF4を制御する。

【0167】以上のような構成とすることで、実施の形態3の内部同期信号発生回路200は、スタンバイ状態、すなわちフリーラン状態における遅延回路110の値を外部クロック信号 Ext 、CLKの周期に応じた値に予め設定しておくので、外部クロック信号 Ext 、CLKの入力を、同期した内部クロック信号 int 、CLKを出力するまでのクロック数を減少させることが可能である。

【0168】〔実施の形態4〕図14は、本発明の実施の形態4の内部同期信号発生回路300の構成を示す概略ブロック図である。

【0169】内部同期信号発生回路300の構成が実施の形態1の内部同期信号発生回路100の構成と異なる点は、位相比較器120からの出力を受けて、遅延量制

御回路150に定電流を供給する可変定電流源回路160をさらに備え、可変定電流源回路160の出力する定電流値を位相比較器120からの出力を受けるスイッチデコーダ132により行なう構成としている点である。

【0170】すなわち、可変定電流源回路160は、可変定電流源回路140と同様に、一端が電源電位Vccと接続し、他端がスイッチ用デコーダ132により制御されて開閉するスイッチ回路SW13、SW23、…、SW13を介して、それぞれ出力ノード140aと接続する内部定電流源CS13、CS23、CS13と、一端が、出力ノード140aと、スイッチ用デコーダ132により制御されて開閉するスイッチ回路SW14、SW24、…SW14を介して、それぞれ接続し、他端が電源電位GNDとそれぞれ接続する内部定電流源CS14、CS24、…CS14とを含む。

【0171】ここで、内部定電流源CS13～CS13は、可変定電流源回路140中の内部定電流源CS11～CSm1よりも、供給する定電流値が小さく、かつ、内部定電流源CS14～CS14は、可変定電流源回路140中の内部定電流源CS12～CSm2よりもそれぞれ受入れる定電流値が小さいものとする。

【0172】さらに、スイッチ用デコーダ130は、位相比較器120からデジタル信号として出力されるデータの上位ビットに対応して可変定電流源回路140を制御し、スイッチ用デコーダ132は、位相比較器120からの出力の所定の下位ビットに応じて、可変定電流源回路160の出力する電流値を制御するものとする。

【0173】その他の構成部分は、実施の形態1の内部同期信号発生回路100と同様であり、同一部分には同一符号を付してその説明は省略する。

【0174】以上のような構成とすることにより、可変定電流源回路140および160から出力ノード140aに供給される定電流値をより細かく制御することが可能で、外部クロック信号Ext. CLKに対してより正確な同期動作を行なうことが可能となる。

【0175】さらに、外部クロック信号Ext. CLKと内部クロック信号int. CLKとの位相差が大幅にずれている場合、より大きな電流供給能力を持つ可変定電流源回路140により、同期動作を迅速に行なうことが可能となる。一方、位相がロックした後の微小な位相変動に対する帰還動作は、主に微小電流を供給する可変定電流源回路160により調整することが可能となる。

【0176】〔実施の形態5〕図15は、本発明の実施の形態5の内部同期信号発生回路400の構成を示す概略ブロック図である。

【0177】実施の形態2の内部同期信号発生回路200の構成と異なる点は、内部遅延回路110に含まれる各インバータ回路Inv. i (i=1, 2, …n)からの出力を並列に受けて、外部クロック信号Ext. CLKと比較し、いずれのインバータ回路Inv. i

出力変動が外部クロック信号Ext. CLKの1周期内に含まれるかを検知し、それに応じて、定電流源スイッチ信号CSを出力する選択回路/判定回路170を有する構成となっている点である。

【0178】すなわち、実施の形態3の内部同期信号発生回路200は、外部クロック信号Ext. CLKと遅延段110から出力される内部クロック信号int. CLKを受けて、両者の位相差を比較する位相比較器120からのデータに基づいて、スイッチ用デコーダ130が定電流源スイッチ信号SCを出力する構成となっていたのに対し、実施の形態5の内部同期信号発生回路400は、遅延回路110に含まれる互いにカスケード接続されたインバータ回路Inv. 1～Inv. nからの出力を並列に受ける選択回路/判定回路170が、これらの出力値と外部クロック信号Ext. CLKとの比較結果に基づいて、定電流源スイッチ信号CSを出力する構成となっている点で異なる。

【0179】その他の可変定電流源回路140、遅延制御回路150およびコマンドレジスタ190の構成は、実施の形態3の内部同期信号発生回路200の構成と同様であるので、同一部分には同一参照符号を付してその説明は省略する。

【0180】図16は、図15に示した内部同期信号発生回路400の動作を説明するタイミングチャートである。

【0181】図16(a)は、初期状態、すなわち、遅延回路110がフリーラン用電流源146からの電流値に基づいて動作している場合の選択回路/判定回路170の動作を説明するタイミングチャートであり、図16(b)は、図16(a)における比較結果に基づいて、定電流源スイッチ信号CSにより、出力ノード140aに供給する電流値を制御した後の内部同期信号発生回路400の動作を説明するタイミングチャートである。

【0182】図15および図16(a)を参照して、図15中の遅延回路110を構成するインバータ回路Inv. 1～Inv. nには、フリーラン用電流源146により規定される電流値が供給されている。

【0183】この状態でスタンバイしている場合に、外部クロック信号Ext. CLKが入力されると、そのクロック信号をトリガとして遅延回路110が動作を開始する。したがって、外部クロック信号Ext. CLKの最初の1サイクル目に対応する遅延回路110の動作は、フリーラン用電流源から供給される電流値により規定される。

【0184】この遅延回路110を構成するインバータ回路Inv. 1～Inv. nの各々からの出力を受けて、選択回路/判定回路170は、外部クロック信号Ext. CLKと比較を行なう。外部クロック信号Ext. CLKが活性である期間(“H”レベルである期間)は、各インバータInv. i (i=1, 2, …n)

41

の出力の変化が選択回路／判定回路 170 中でカウントアップされる。ここで、図 16 中、斜線の間隔で示される期間が、インバータ回路 1 段あたりの遅延時間に相当するものとする。

【0185】このカウントアップは外部クロック信号 Ext. CLK が不活性状態 (“L” レベル) となるまで継続される。以上のようにして、外部クロック信号 Ext. CLK が活性である期間中に、出力レベルを反転させるインバータ回路 Inv. i の段数を検出し、選択回路／判定回路 170 は、次のサイクルにおいて、遅延回路 110 中の所定の段数のインバータ回路からの出力が外部クロック信号 Ext. CLK の活性期間に対応するように可変定電流源回路 140 の出力する定電流値を変化させる。図 16 (a) に示した例では、所定段数 (x 段であるものとする) のうち、y 段のインバータ回路 Inv. y からの出力信号が、外部クロック信号 Ext. CLK の活性期間内に収まる状態となっている。したがって、所定段数のすべてのインバータ回路 Inv. 1 ~ Inv. x が、外部クロック信号 Ext. CLK の活性期間中に収まるようにするためには、遅延回路 110 に供給される電流値を増加させる必要がある。

【0186】たとえば、遅延回路 110 におけるインバータ回路 Inv. 1 ~ Inv. n のフリーラン状態の電流値が、内部定電流源 z 個から供給されているものとする。図 16 (a) においては、所定段数 x 段のインバータ回路のうち y 段のインバータ回路からの出力信号が、外部クロック信号 Ext. CLK の活性期間中に対応しているので、単純に各インバータ回路の遅延時間が供給される電流値に対して比例するものと近似すると、外部クロック信号 Ext. CLK の活性期間中に所定の段数 x 段のインバータ回路 Inv. x からの出力信号が収まるためには以下の関係が満たされればよい。

【0187】

$$y \times [z + (x - y) \times z / \alpha] / z = x \quad \dots (1)$$

ここで、 z / α は、フリーラン用の定電流源 146 に含まれる内部定電流源の電流値に対する可変定電流源 142 中に含まれる内部定電流源の各々の電流値を表わしている。

【0188】ここで、外部クロック信号 Ext. CLK に対する上記のような合わせ込みを行なうインバータ回路の段数としては、いくらかの余裕を持たせておくことができる。つまり、インバータ回路 Inv. 1 ~ Inv. x の遅延の合わせ込みの状態が、外部クロック信号 Ext. CLK に対して 1 ないし 2 段の誤差を有した場合でも、内部クロック信号 int. CLK の遅延回路 110 全体として誤動作が生じないように、図 16 (b) に示すように、x 段のインバータ回路を Inv. 1 ~ Inv. x により、外部クロック信号 Ext. CLK に対する合わせ込みが完了した後も、1 ないし 2 段の余裕を持つように構成しておくことが可能である。

42

【0189】以上のような構成とすることで、選択回路／判定回路 170 は、外部クロック信号 Ext. CLK に対する同期動作を行なうために、Ext. CLK の活性である期間、すなわちその周期の半分の期間が終了した後に、可変定電流源回路 140 を制御する定電流源スイッチ信号 SC を出力するための動作を開始することが可能である。したがって、より少ないクロック数で、外部クロック信号 Ext. CLK に同期した内部クロック信号 Int. CLK を出力することが可能となる。

10 【0190】図 17 は、図 15 に示した選択回路／判定回路 170 中において、外部クロック信号 Ext. CLK の活性期間中に収まる遅延量を有するインバータ回路 Inv. 1 ~ Inv. n の段数を判定する回路部分の一例を示す要部概略ブロック図である。

【0191】すなわち、選択回路／判定回路 170 は、外部クロック信号 Ext. CLK の活性期間 (“H” レベルである期間) 中において、内部クロック信号 int. CLK および int. CLK が所定の時間遅延した信号 CLK-d の反転信号 / CLK-d を受けて、信号 CLK-t を出力する NAND 回路 172 と、信号 CLK-t を受けて、その反転信号 / CLK-t を出力するインバータ回路 173 と、信号 / CLK-t が “H” レベルとなることで、出力値がリセットされ、信号 CLK-t をセット信号として受けるフリップフロップ回路 176 a と、フリップフロップ回路 176 a の出力を受けて所定の時間遅延して出力する遅延段 174 a と、信号 / CLK-t が “H” レベルとなることに応じて導通状態となるスイッチを介して、遅延段 174 a の出力を受けてその値を保持するラッチ回路 178 a とを含む。

30 【0192】選択回路／判定回路 170 は、さらに、遅延段 174 a の出力を受けるフリップフロップ回路 176 b と、フリップフロップ回路 176 b の出力を受ける遅延段 174 b と、以下交互に直列に接続されるフリップフロップ回路 176 c ~ 176 f と遅延段 174 c ~ 174 f とを含む。フリップフロップ回路 176 b ~ 176 f も、フリップフロップ回路 176 a と同様に、信号 / CLK-t が “H” レベルとなるのに応じて、その出力レベルがリセットされる。さらに、遅延段 174 b ~ 174 f の出力は、それぞれ遅延段 174 a の出力電位と同様に、信号 / CLK-t が “H” レベルとなることにより導通状態となるスイッチ回路を介して、ラッチ回路 178 b ~ 178 f と接続している。

40 【0193】図 17 においては、フリップフロップ回路および遅延段は、それぞれ 7 段ずつが交互に接続する構成となっているが、実際には、遅延回路 110 を構成するインバータ回路 Inv. 1 ~ Inv. n の段数に応じた個数のフリップフロップ回路および遅延段が直列に接続されているものとする。

50 【0194】さらに、外部クロック信号 Ext. CLK が “H” レベルである期間中のみこの回路に内部クロッ

ク信号 int 、CLKが入力する構成とするためには、たとえば、外部クロック信号 Ext 、CLKおよび内部クロック信号 int 、CLKを受けるAND回路と、このAND回路の出力およびこのAND回路の出力を受けて所定時間遅延させて反転させた後出力する遅延回路の出力とをそれぞれNAND回路172の入力に接続する構成とすればよい。

【0195】図18は、図17に示した回路動作を説明するためのタイミングチャートである。以下では、信号 Ext 、CLKが活性状態であって、図17に示した回

路に内部クロック信号 int 、CLKが入力される状態となっているものとする。

【0196】時刻 t_1 において、信号 int 、CLKが“H”レベルとなった後、信号/CLK- d が“H”レベルから“L”レベルに変化するまでの時刻 t_2 までの期間は、信号/CLK- t は“H”レベルとなって、フリップフロップ回路176a~176fの出力はすべてリセットされ“L”レベルとなる。

【0197】その後、信号CLK- t が“H”レベルであって、信号/CLK- t が“L”レベルであることに

応じて、フリップフロップ回路176aの出力レベルは“H”レベルに変化する。

【0198】時刻 t_5 において、再び信号 int 、CLKの2サイクル目の立上がりに応じて、信号/CLK- t が“H”レベルとなって、フリップフロップ回路176a~176fの出力レベルはリセットされる。

【0199】信号/CLK- t が“L”レベルとなった時刻 t_6 以降は、信号CLK- t が“H”レベルであり、信号/CLK- t が“L”レベルであることに応じて、フリップフロップ回路176aの出力レベルは“H”レベルとなり、遅延段174aの出力レベルが“H”レベルであり、信号/CLK- t が“L”レベルであることに応じて、フリップフロップ回路176bの出力レベルも“H”レベルに変化する。したがって時刻 t_5 から時刻 t_6 までの信号/CLK- t が“H”レベルである期間にスイッチ回路が導通状態となることにより、ラッチ回路178aには“H”レベルの信号が保持されることになる。

【0200】以下同様にして、信号 int 、CLKの3サイクル目の立上がりのエッジに応じて、時刻 t_9 ~時刻 t_{10} までの期間信号/CLK- t が“H”レベルとなることに応じて、ラッチ回路178aおよび178bに“H”レベルが保持される。一方、時刻 t_{10} 以後は、フリップフロップ回路176cの出力レベルも“H”レベルとなる。すなわち、内部クロック信号 int 、CLKが3サイクル目の変化をすることに応じて、フリップフロップ回路176a~176cまでの出力は“H”レベルに、176d以後のフリップフロップ回路は“L”レベルを出力する状態となる。しかも、時刻 t_{10} の時点では、ラッチ回路178aおよび178bの

保持する電位レベルのみが“H”レベルとなっており、時刻 t_1 から時刻 t_{11} までの期間に含まれる内部クロック信号 int 、CLKのサイクル数に応じてラッチ回路178a~178fの保持する電位レベルが変化していることになる。

【0201】外部クロック信号 Ext 、CLKが“L”レベルとなることに応じて、図17に示した回路への内部クロック信号 int 、CLKの入力が停止し、これに応じてラッチ回路178a~178f中のデータはそれ以後変化しないことになる。

【0202】選択回路/判定回路170は、このラッチ回路178a~178f中に保持されたデータに応じて、式(1)に基づいて定電流源スイッチ信号CSを出力する。

【0203】なお、図17に示した構成では、外部クロック信号 Ext 、CLKが活性期間中に、内部クロック信号 int 、CLKをシリアルに受けて、外部クロック信号 Ext 、CLKが活性期間中において内部クロック信号 int 、CLKが変化するサイクル数を記憶保持する構成とした。しかしながら、選択回路/判定回路の構成はこのようなものに限定されるわけではなく、たとえば、インバータ回路 Inv 、1~ Inv 、 n からの出力をそれぞれ並列に受けて、外部クロック信号 Ext 、CLKが活性期間中に開状態となるゲート回路を介して、それぞれ入力されるインバータ回路 Inv 、 i の出力レベルの変化を検知し、保持する回路を設けることで、遅延回路110を構成するインバータ回路 Inv 、1~ Inv 、 n のそれぞれから並列に出力される信号に基づいて、外部クロック信号 Ext 、CLKの活性期間中に収まる遅延時間を有するインバータ回路の段数を検知する回路構成とすることも可能である。

【0204】〔実施の形態6〕図19は本発明の実施の形態6の内部同期信号発生回路500の構成を示す概略ブロック図である。

【0205】実施の形態5の内部同期信号発生回路400の構成と異なる点は、遅延回路110に含まれる所定の段数のインバータ回路、たとえばインバータ回路 Inv 、1~ Inv 、 $n-1$ の出力を受けて、遅延して出力する互いにカスケード接続されたインバータ回路 Inv 、21~ Inv 、2kを含む第2の遅延回路112と、外部クロック信号 Ext 、CLKと第2の遅延回路112の出力とを受けて、外部クロック信号 Ext 、CLKの活性期間中に含まれる遅延時間を有するインバータ回路 Inv 、21~ Inv 、2kの段数を検出する選択回路172と、選択回路172からの定電流源スイッチ信号CS2に応じて、第1の可変定電流源回路140の出力ノード140aにさらに定電流を供給する第2の可変定電流源回路160と、出力ノード140aに供給される定電流値に応じて、第1の遅延回路110および第2の遅延回路112の遅延量を制御する遅延量制御回路152を含

45

む構成となっていることである。

【0206】ここで、第2的可変定電流源回路160に含まれる内部定電流源は、第1的可変定電流源回路140に含まれる内部定電流源回路よりも供給する電流値が各々小さくなっているものとする。

【0207】したがって、第2的可変定電流源回路160を制御することで、出力ノード160aに与えられる定電流値をより細かく制御することが可能となる。

【0208】出力ノード140aに与えられる定電流値は、 n チャネルMOSトランジスタN31とカレントミラー回路を構成する n チャネルMOSトランジスタN33のゲートとそれぞれゲートが接続し、インバータ回路Inv. 21~Inv. 2kと接地電位GNDとの間に接続される n チャネルMOSトランジスタN21~N2kに流れる電流値を制御する。

【0209】一方、インバータ回路Inv. 21と電源電位Vccとの間に接続される p チャネルMOSトランジスタP21のゲートとそのゲート電極が接続し、電源電位Vccとソースが接続し、ドレインが n チャネルMOSトランジスタN33のドレインと接続し、ゲートおよびドレインが相互に接続する p チャネルMOSトランジスタP32と上記 p チャネルMOSトランジスタP21とがカレントミラー回路を構成している。したがって、出力ノード140aに供給される電流により、インバータ回路Inv. 21に供給される電流値も制御される構成となっている。同様にして、インバータ回路Inv. 22~Inv. 2kと電源電位Vccとの間にそれぞれ接続される p チャネルMOSトランジスタP22~P2kのゲートも p チャネルMOSトランジスタP32のゲートと接続しているため、インバータ回路Inv. 22~Inv. 2kに供給される電流値も出力ノード140aに供給される電流により制御される。

【0210】図20は、図19に示した内部同期信号発生回路500の動作を説明するタイミングチャートであり、(a)は、図16(a)と同様に、フリーラン状態において、外部クロック信号Ext. CLKと遅延回路110に含まれるインバータ回路Inv. 11~Inv. 1nのそれぞれの遅延時間を比較する選択回路/判定回路170の動作を説明するタイミングチャートであり、(b)は、(a)における比較結果に応じて、式(1)により、遅延回路110を構成するインバータ回路Inv. 11~Inv. 1nに供給する電流値を変更した後、さらに選択回路172により遅延回路112を構成するインバータ回路Inv. 21~Inv. 2kの遅延量を調整することでより精密に外部クロック信号Ext. CLKと内部クロック信号Int. CLKとの同期動作の制御を行なう様子を説明するためのタイミングチャートである。

【0211】まず、図20(a)を参照して、遅延回路110を構成するインバータInv. 11~Inv. 1

46

n は、初期状態としてフリーラン用の定電流値が供給されているものとする。この状態で、待機している場合に、外部からクロック信号Ext. CLKが入力されると、そのクロック信号Ext. CLKの立上りをトリガとして、遅延回路110が動作を開始する。遅延回路110は、それに含まれるインバータ回路Inv. 11~Inv. 1nのそれぞれの出力を選択回路/判定回路170に出力しており、この各出力と入力される外部クロック信号Ext. CLKと比較される。外部クロック信号Ext. CLKが活性化している期間中、その期間内に収まるインバータ回路の段数がカウントされる。このカウントされた段数に基づいて、次のサイクルにおいて、式(1)に基づいて、所定段数のインバータ回路の出力が外部クロック信号Ext. CLKの活性期間に収まるように出力ノード140aに供給される定電流値が制御される。

【0212】内部同期信号発生回路500においては、より同期精度を向上させるために、出力ノード140aに定電流を供給する可変定電流源が階層構造となっている。図19に示した例では、遅延回路110を構成するインバータ回路の最後の2段目のInv. 1n-1の出力が第2の遅延回路112の入力信号となっている。したがって、図20(a)に示した最初の外部クロック信号Ext. CLKのサイクルにおいて、その活性期間に収まらなかったインバータ回路Inv. 1n-2の出力が図20(b)に示した外部クロック信号Ext. CLKの次のサイクルにおいて、外部クロック信号Ext. CLKの活性期間に収まった場合に、第2の遅延回路112が活性化される。この第2の遅延回路112を構成するインバータ回路Inv. 21~Inv. 2mの各出力も、遅延回路110と同様に、外部クロック信号Ext. CLKの活性期間中は、選択回路172によりその出力レベルが監視される。その結果、第2の遅延回路112からの出力信号が、外部クロック信号Ext. CLKの活性期間に収まるように、第2的可変定電流源回路160からの出力電流が調整される。

【0213】以上の構成により、より高精度に外部クロック信号Ext. CLKに同期した内部クロック信号Int. CLKを発生する内部同期信号発生回路500を実現することが可能となる。

【0214】〔実施の形態7〕図21は、本発明の実施の形態7の内部同期信号発生回路600の構成を示す概略ブロック図である。

【0215】実施の形態1の内部同期信号発生回路100の構成と異なる点は、以下の2点である。

【0216】すなわち、遅延回路110を構成するインバータ回路Inv. 1~Inv. nのそれぞれから出力される遅延信号を受けて、内部制御信号発生回路26が対応する内部制御信号を発生する構成となっている点である。

【0217】第2には、可変定電流源回路140が出力ノード140aに供給する電流値を増加させる方向にのみ制御する構成になっていることである。

【0218】すなわち、遅延回路110を構成するインバート回路Inv. 1~Inv. 1nのそれぞれから出力される遅延信号に基づいて、内部制御信号発生回路26が内部制御信号を発生する構成となっているので、図5に示したような内部制御信号発生回路26の構成に比べて、より簡単な回路構成で内部制御信号を発生することが可能となる。

【0219】さらに、外部クロック信号Ext. CLKの活性期間が、遅延回路110のフリーラン状態の遅延時間よりも長周期である場合は、可変定電流源回路140から供給される定電流値が、フリーラン用電流源144から供給される電流値以下にはならないため、内部同期信号発生回路600は、フリーラン状態で動作する。

【0220】この場合も、図11において説明したとおり、外部クロック信号Ext. CLKに同期した動作を実現することが可能である。したがって、可変定電流源回路140の回路構成をより簡単にすることが可能となる。

【0221】なお、上記のように、遅延回路110を構成するインバート回路Inv. 1~Inv. nのそれぞれから出力される遅延信号に基づいて、内部制御信号発生回路26が内部制御信号を発生する構成とすることは、今まで説明した他の実施の形態の内部同期信号発生回路にも適用することが可能である。

【0222】〔実施の形態8〕図22は、本発明の実施の形態8の内部同期信号発生回路700および内部制御信号発生回路26の構成を示す概略ブロック図である。

【0223】実施の形態8の内部同期信号発生回路700の構成が、実施の形態2の内部同期信号発生回路102の構成と異なる点は、リングオシレータ回路からの出力信号を受けて、所定の回数カウントした後に位相比較回路にその出力を与える構成となっている点である。

【0224】したがって、たとえばカウンタ回路702が2回カウントするごとにその出力レベルを変化させるものとする、内部同期信号発生回路700から出力される内部クロック信号int. CLKは、外部クロック信号Ext. CLKの周波数を2倍に逡倍したものとなる。

【0225】この後、内部制御信号発生回路において、所定の遅延回路を経て一定の遅延時間経過後に内部制御信号が発生される構成となっている点は図5に示した内部制御信号発生回路26の構成と同様である。

【0226】ただし、本実施の形態においては、内部クロック信号int. CLKの周波数が外部クロック信号Ext. CLKに比べて逡倍されていることに応じて、信号CAS活性化後の内部クロック信号int. CLKの各サイクルごとに出力される内部制御信号の数は減少

している。

【0227】図23は、図22に示した内部同期信号発生回路700により動作する同期型半導体記憶装置の動作を示すタイミングチャートである。

【0228】本実施の形態における同期型半導体記憶装置の構成は、内部同期信号発生回路の構成が異なっている以外は、実施の形態1の同期型半導体記憶装置100の構成と同様である。

【0229】ここで、たとえば内部同期信号発生回路700が、外部クロック信号Ext. CLKを2倍に逡倍しているものとする、同期型半導体記憶装置は、外部クロック信号Ext. CLKの立上りのエッジおよび立下りのエッジの双方において列系の回路動作を行なうこととなる。

【0230】すなわち、時刻t1において、行アドレスが行アドレスバッファ18に取込まれたことに応じて、選択されたワード線の電位レベルが時刻t2において“H”レベルに変化する。それに応じて、センスアンプが対応するビット線対上に現われた電位差を時刻t3において増幅し始める。

【0231】一方、時刻t1において、内部同期信号発生回路は同期動作を開始し、時刻t4において、外部クロック信号と同期した信号を出力し始める。この場合、時刻t4における外部クロック信号Ext. CLKの立上りのエッジにおいて、第1の列アドレスAy1が取込まれ、外部クロック信号Ext. CLKの次の立下りのエッジである時刻t6において第2の列アドレスAy2が取込まれ、次の外部クロック信号Ext. CLKの立上りのエッジである時刻t7において第3の列アドレスAy3が取込まれる構成となっている。

【0232】それぞれの取込まれた列アドレス信号Ay1~Ay3に応じて、時刻t8において、列アドレスAy1に対する読出データD1が、時刻t9において、第2の列アドレスAy2に対応する読出データD2が、時刻t10において、第3の列アドレスAy3に対する読出データD3がそれぞれ出力される。

【0233】図24は、外部クロック信号Ext. CLKの周波数が変化した場合の実施の形態8の同期型半導体記憶装置の動作を説明するタイミングチャートであり、図9と対比される図である。

【0234】すなわち、図24(a)において、所定の周波数の外部クロック信号Ext. CLKにおいて、アドレスアクセスから2周期後にデータが出力されるのに対して、(a)の場合の2倍の周波数の外部クロック信号Ext. CLKの場合は(b)に示すようにアドレスアクセスから3周期後にデータが出力される。これに対して、(a)の場合の4倍の周波数の外部クロック信号Ext. CLKの場合は、アドレスアクセスから5周期後にデータ出力が行なわれる。この場合、外部クロック信号Ext. CLKの周期の減少ほどにはアドレスアク

セスからデータ出力までの時間が減少しないことは図 9 の場合と同様であるが、データ出力が外部クロック信号 Ext. CLK の立上りのエッジおよび立下りのエッジの双方で行なわれることにより、より高速な動作が可能となっていることがわかる。

【0235】図 25 は、実施の形態 8 の同期型半導体記憶装置の動作をより長時間にわたって示すタイミングチャートであり、図 10 に対比される図である。

【0236】この場合も、内部行アドレスストロブ信号 RAS が不活性状態となった後は、リングオシレータ回路はフリーラン状態で動作することになる。

【0237】図 26 は、実施の形態 8 の内部同期信号発生回路 700 を DLL 回路で構成した場合、すなわちリングオシレータの出力の代わりに遅延回路の出力をカウンタ回路 702 がカウントして位相比較回路に与える構成とした場合において、外部クロック信号 Ext. CLK が十分長周期となり、内部クロック信号 int. CLK がフリーラン状態で動作している場合を示すタイミングチャートであり、図 11 に対比される図である。

【0238】実施の形態 8 の同期型半導体記憶装置においても、外部クロック信号 Ext. CLK が十分長周期である場合は、フリーラン状態で同期動作を行なうことが可能である。

【0239】〔実施の形態 9〕図 27 は、本発明の実施の形態 9 の内部同期信号発生回路 720 a の構成を示す概略ブロック図である。

【0240】図 12 に示した実施の形態 3 の内部同期信号発生回路 200 の構成と異なる点は、外部からの制御信号によりテストモードが指定されると、テストモード発生回路 184 がコマンドレジスタ 190 中のレイテンシデータを所定の値とすることで、遅延回路 110 のフリーラン状態における遅延量を制御する構成となっている点である。

【0241】すなわち、テストモードが指定されると、フリーラン用電流源から供給される電流値が遅延回路 110 の最小の遅延量を与える電流値となるように設定しておけば、同期信号発生回路 720 a により制御される同期型半導体記憶装置は最高速で動作することとなり、同期型半導体記憶装置を最高スペックでテストすることが可能となる。

【0242】図 28 は本発明の実施の形態 9 の変形例の内部同期信号発生回路 720 b の構成を示す概略ブロック図である。

【0243】内部同期信号発生回路 720 a と異なる点は、テストモード期間中は加速試験を行なうことが可能な構成としたことである。

【0244】すなわち、内部同期信号発生回路 720 b は基本的に PLL 回路で構成されており、外部からテストモードが指定された場合は、テストモード発生回路 184 の制御により、フリーラン用電流源 146 からリン

グオシレータ回路 114 が最高速で動作する電流値が出力され、一方テストモード発生回路 182 の制御により、外部クロック信号 Ext. CLK が位相比較器 120 に入力しないように切換える切換回路 122 を含む構成となっている。

【0245】したがって、このようなテストモードを利用すれば、同期型半導体記憶装置を高速で動作させることが可能となり、十分な加速試験を行なうことができる。

10 【0246】図 29 は、実施の形態 9 の他の変形例の内部同期信号発生回路 720 c の構成を示す概略ブロック図である。

【0247】内部同期信号発生回路 720 b と異なる点は、内部同期信号発生回路 720 b においては、テストモードが指定されると、外部クロック信号 Ext. CLK が位相比較器 120 に入力されないように切換回路 122 が切換わる構成となっていたのに対し、内部同期信号発生回路 720 c においては、所定のテストモードが指定されると位相比較器 120 を非活性化する構成となっている点である。

20 【0248】したがって、内部同期信号発生回路 720 c においても、所定のテストモードにおいては、外部クロック信号 Ext. CLK の周期と関係なく、リングオシレータ回路 114 は、フリーラン用電流源 146 から与えられる電流値に応じて、高速で動作することとなり、同期型半導体記憶装置の加速試験を安定に行なうことが可能となる。

30 【0249】〔実施の形態 10〕図 30 は、本発明の実施の形態 10 の内部同期信号発生回路 800 の構成を示す概略ブロック図である。

【0250】図 43 に示した従来の内部同期信号発生回路 50 の構成と異なる点は、電源投入後ループフィルタ 54 の出力ノードを所定の電位レベルに充電することが可能な構成となっていることである。

40 【0251】すなわち、内部同期信号発生回路 800 は、従来の内部同期信号発生回路 50 の構成に加えて、電源投入と同時に動作を開始し、電源投入後所定の期間経過後“H”レベルとなるパワーオンリセット信号（以下 POR 信号と呼ぶ）に応じて、POR 信号が“L”レベルである期間中活性状態となる差動アンプ 804 と、差動アンプ 804 の出力をゲートに受け、電源電位 Vcc とループフィルタ 54 の出力ノードとの間に接続される p チャネル MOS トランジスタ 802 と、差動アンプ 804 の一方の入力ノードに与える所定の基準電圧を得るために電源電位 Vcc を分圧するための抵抗体 806 および 808 を含む。差動アンプ 804 の他方の入力ノードは、ループフィルタ 54 の出力ノードと接続している。

50 【0252】図 31 は、差動増幅器 804 の構成をより詳細に示す回路図である。差動アンプ 804 は、基本的

51

にpチャネルMOSトランジスタ822および826とnチャネルMOSトランジスタ824および828から構成されるカレントミラー型の増幅回路を基本構成要素とする。nチャネルMOSトランジスタ824および828のソースは、信号PORがインバータ回路820により反転された信号によってそのゲート電位が制御されるnチャネルMOSトランジスタ830を介して接地電位と接続している。

【0253】したがって、信号PORが“L”レベルである期間は、nチャネルMOSトランジスタ830が導通状態となって、カレントミラー差動アンプは活性状態となる。

【0254】カレントミラー差動アンプの一方の入力はnチャネルMOSトランジスタ828のゲートであって、基準電圧が与えられている。

【0255】一方、カレントミラーアンプの他の入力はnチャネルMOSトランジスタ824のゲートであって、pチャネルMOSトランジスタ802のドレイン、すなわちループフィルタ54の出力ノードと接続している。

【0256】一方、差動増幅アンプの出力ノードと電源電位Vccとの間にはpチャネルMOSトランジスタ834が接続され、pチャネルMOSトランジスタ834のゲートはインバータ回路820の出力と接続している。

【0257】したがって、信号PORが“H”レベルとなると、pチャネルMOSトランジスタ834が導通状態となって、pチャネルMOSトランジスタ802のゲート電位が“H”レベルとなるため、このpチャネルMOSトランジスタ802は非導通状態となる。すなわち、信号PORが“H”レベルとなることで、ループフィルタ54の出力ノードの充電動作が停止される。

【0258】図32は、ループフィルタ電位の時間変化を示すタイミングチャートである。電源電位が投入された後所定の期間は信号PORは“L”レベルである。したがって、ループフィルタ54の出力ノードは、pチャネルMOSトランジスタ802を介して電源電位Vccに充電されていく。所定時間経過後信号PORが“H”レベルとなることで、ループフィルタ54の出力ノードの充電動作が停止する。

【0259】図33は、図30に示した内部同期信号発生回路800の変形例の内部同期信号発生回路850の構成を示す概略ブロック図である。

【0260】内部同期信号発生回路800と異なる点は、差動増幅アンプ804に与える基準電位を可変とできる構成としたことである。

【0261】すなわち、差動アンプ804に与えられる基準電圧は、電源電位Vccを一端に受ける定電流回路852と、定電流回路852の他端と接地電位GNDとの間に直列に接続された抵抗体854a～854fとか

52

らなる基準電位発生回路において、定電流源852の他端の電位として与えられる。ここで、抵抗体854a～854eにはヒューズ素子856a～856eがそれぞれ接続されており、このヒューズ素子を切断することにより、定電流源852の他端の電位レベルを所望の値に変更することが可能である。

【0262】以上のような構成とすることにより、電源投入後所定の期間でループフィルタ54の出力ノードが充電されるため、外部クロック信号Ext、CLKが入力され始めた時点において、ループフィルタ54の出力ノードが所定の電位となっており、充電に要する時間が不要となり、外部クロック信号Ext、CLKに対して同期動作が完了するまでの時間を短縮することが可能となる。

【0263】〔実施の形態11〕図34は、本発明の実施の形態11の内部同期信号発生回路900の構成を示す概略ブロック図である。

【0264】実施の形態5の内部同期信号発生回路400の構成と異なる点は、外部クロック信号Ext、CLKを受けて、所定の時間遅延して出力する第2の遅延回路112と、第1の遅延回路110の遅延量と外部クロック信号Ext、CLKの周期との比較結果に応じて選択回路／判定回路170aが出力する定電流源スイッチ信号CSに応じて可変定電流源回路140から出力される定電流値に応じて、第1および第2の遅延回路110および112の遅延量が遅延制御回路152により制御される構成となっていることである。

【0265】さらに、遅延回路112を個性するインバータ回路のそれぞれからの遅延信号を受けて、内部制御信号発生回路26が内部制御信号を発生する構成となっている点である。

【0266】したがって、内部制御信号が遅延回路を構成するインバータ回路のそれぞれの出力に基づいて発生される点では、図21に示した実施の形態7の内部同期信号発生回路600の構成とも共通する。

【0267】図35は、実施の形態11の内部同期信号発生回路900により制御される同期型半導体記憶装置の動作を説明するタイミングチャートである。

【0268】時刻t1において、行アドレスAxが取込まれ、外部クロック信号Ext、CLKの時刻t1から時刻t3までの1周期の間に、選択回路／判定回路170aにおいて、遅延回路110の遅延量と外部クロック信号Ext、CLKとの比較が行なわれる。この比較結果に応じて、選択回路／判定回路170aで、定電流源スイッチ信号CSに関する計算が時刻t3から時刻t6における外部クロック信号Ext、CLKの次のサイクルで行なわれる。

【0269】この第2のサイクルにおいて計算された定電流源スイッチ信号CSに基づいて可変定電流源回路140の出力電流が調整され、時刻t6からの外部クロッ

53

ク信号Ext. CLKの3サイクル目から外部クロック信号Ext. CLKと同期した内部クロック信号int. CLKの出力が監視される。

【0270】行アドレスの取込みが行なわれた時刻t1の後の4サイクル目における外部クロック信号Ext. CLKの立上りのエッジの時刻t8において、列アドレスAyの取込みが行なわれる。これに応じて、読出されたデータがさらに時刻t8から2サイクル後の時刻t10においてデータ入出力端子32に出力される。

【0271】図35は、図34に示した実施の形態11の内部同期信号発生回路の他の動作モードを説明するためのタイミングチャートである。

【0272】図35に示したタイミングチャートと異なる点は、外部クロック信号Ext. CLKと遅延回路110との遅延量との比較が第1サイクル目の半周期に相当する時刻t1から時刻t2の期間で行なわれ、さらに1サイクル目の後半の時刻t2から時刻t3までの期間で同期に必要な定電流源スイッチ信号CSの値が選択回路/判定回路170aで計算される構成となっている点である。

【0273】したがって、図36に示したタイミングチャートでは、外部クロック信号Ext. CLKの2サイクル目の時刻t3以降において、外部クロック信号Ext. CLKに同期した内部クロック信号int. CLKが出力される構成となっている。その他の動作については図35に示したタイミングチャートと同様である。

【0274】図36のタイミングチャートに示したような動作とすることで、より早いサイクルにおいて外部クロック信号Ext. CLKに同期した内部クロック信号int. CLKを出力することが可能となり、より高速動作を行なうための動作余裕が生じることになる。

【0275】〔実施の形態12〕図37は本発明の実施の形態12の内部同期信号発生回路1100の構成を示す概略ブロック図である。

【0276】実施の形態12の内部同期信号発生回路1100は、外部クロック信号Ext. CLKの立上りのエッジを検出して、その次のサイクルにおいて、内部制御信号を発生するための遅延信号を出力する第1のブロック1101aと、上記ブロックと相補的に遅延信号を出力する第2のブロック1101bとを含む構成となっている。

【0277】以下その構成についてより詳しく説明する。内部同期信号発生回路1100における第1の回路ブロック1101aは、外部クロック信号Ext. CLKを受けて、その立上りのエッジを検出するエッジ検出回路1102と、エッジ検出回路1102の出力を受けて、所定の時間遅延して出力する遅延段1104と、エッジ検出回路1102のエッジ検出の次のサイクルにおいて外部クロック信号Ext. CLKの立上りのエッジを検出するエッジ検出回路1124とを含む。

54

【0278】同期信号発生回路1100は、さらに、カレントミラー回路を構成するnチャネルMOSトランジスタ1110および1112と、カレントミラー回路を構成する一方のnチャネルMOSトランジスタ1110に所定の電流を供給する定電流源1106と、カレントミラー回路を構成する1対のnチャネルMOSトランジスタ1110と1112のうちソースが接地電位GNDに接続するnチャネルMOSトランジスタ1112のドレインとドレインが接続し、ソースが電源電位Vccと接続し、そのゲートおよびドレインが互いに接続するpチャネルMOSトランジスタ1108と、このpチャネルMOSトランジスタ1108とカレントミラー回路を構成し、ソースが電源電位Vccと接続し、ゲートがpチャネルMOSトランジスタ1108のゲートと接続するpチャネルMOSトランジスタ1114と、ソースが接地電位GNDと接続し、ゲートがnチャネルMOSトランジスタ1110および1112のゲートと接続するnチャネルMOSトランジスタ1116とを含む。

【0279】pチャネルMOSトランジスタ1114のドレインは、遅延段1104からの出力信号に応じて開閉されるスイッチ回路SW1を介して、ノードA1と接続し、nチャネルMOSトランジスタ1116のドレインは、エッジ検出回路1124の出力信号により制御されるスイッチ回路SW2を介して、ノードA1と接続している。

【0280】ノードA1は、キャパシタ1118を介して、接地電位GNDと容量結合している。一方、コンパレータ1120は、ノードA1の電位と、所定の基準電位Vbaseとの電位レベルを比較し、その比較結果を遅延段1122に出力する。コンパレータ1120の出力ノードB1の電位レベルを受けて、遅延段1122は順次遅延した信号を内部制御信号発生回路26に対して出力する。内部制御信号発生回路26は、遅延段1122からの遅延信号をもとに、内部制御信号を発生する。

【0281】内部同期信号発生回路1100は、さらに、以上説明したエッジ検出回路1102、1124、遅延段1104および遅延段1122等から構成される遅延信号発生部1101aと対をなす遅延信号発生部1101bを有する。

【0282】遅延信号発生部1101bは、遅延信号発生部1101aとは、相補的に動作して、内部制御信号発生回路26に遅延信号を出力する。すなわち、遅延信号発生部1101aが外部クロック信号Ext. CLKの1サイクル目の入力を検知した後、2サイクル目において、遅延段1122から所定の遅延信号を出力する構成であるのに対し、遅延信号発生部1101bは、外部クロック信号Ext. CLKの2サイクル目の入力を検知した後、3サイクル目において、所定の遅延信号を遅延段1122から内部制御信号発生回路26に対して出力する構成となっている。以後は、それぞれの遅延信号

55

発生部1101aおよび1101bは、それぞれが外部クロック信号Ext、CLKの2サイクルごとに所定の遅延信号を出力しつつ、外部クロック信号Ext、CLKの各サイクルごとに交互に遅延信号を発生する構成となっている。

【0283】以上の点を除いては、遅延信号発生部1101bの構成は、1201aの構成と同様であるので、その説明は省略する。

【0284】図38は、図37に示した実施の形態12の内部同期信号発生回路1100の動作を説明するタイミングチャートである。

【0285】外部クロック信号Ext、CLKの1サイクル目の立上りのエッジをエッジ検出回路1102が検出すると、これに応じて、遅延段1104が所定の遅延時間 t_{pd} 経過後にその出力信号を活性状態とする。それに応じて、スイッチ回路SW1が導通状態となって、ノードA1は、pチャネルMOSトランジスタ1114を介して、電源電位Vccにより充電される。したがって、スイッチ回路SW1が導通状態となった後は、ノードA1の電位レベルは単調に増加する。

【0286】外部クロック信号Ext、CLKの2サイクル目の立上りのエッジをエッジ検出回路1124が検出すると、スイッチ回路SW1は非導通状態に、スイッチ回路SW2は導通状態となる。したがって、ノードA1は、nチャネルMOSトランジスタ1116を介して接地電位GNDと接続され、キャパシタ1118に蓄積された電荷が放電される。このため、スイッチ回路SW2が導通状態である期間は、ノードA1の電位は単調に減少する。

【0287】ノードA1の電位レベルが上記のような変化をするので、コンパレータ1120の出力レベルは、ノードA1の電位レベルが上昇をし始めるとともに“H”レベルから“L”レベルに変化し、ノードA1が充電され、その放電が完了した時点で、再び“L”レベルから“H”レベルに復帰する。

【0288】このノードB1の電位レベルの立上りのエッジに応じて、遅延段1122を構成するカスケード接続された複数の遅延バッファ回路のそれぞれから所定の時間遅延した遅延時間が内部制御信号発生回路26に出力される。

【0289】一方、外部クロック信号Ext、CLKの1サイクル目の立上りのエッジにตอบสนองして、遅延信号発生部1101bにおけるエッジ検出回路1224がスイッチ回路SW4を導通状態とするが、この段階ではノードA2の電位レベルは変化しない。

【0290】外部クロック信号Ext、CLKの2サイクル目の立上りのエッジをエッジ検出回路1202が検出するのに応じて、遅延段1204が所定の時間経過後に出力する信号に応じて、スイッチ回路SW3が導通状態となり、ノードA2が充電される。これに応じて、

56

ノードA2の電位レベルは単調に増加する。

【0291】外部クロック信号Ext、CLKの3サイクル目の立上りのエッジをエッジ検出回路1224が検出することに応じて、スイッチ回路SW4が導通状態に、スイッチ回路SW3が非導通状態となって、ノードA2が放電される。

【0292】したがって、ノードB2の電位レベルは、ノードA2の電位レベルの上昇に応じて、“H”レベルから“L”レベルに変化し、ノードA2の充電に要した時間と放電に要した時間の和に相当する時間、すなわち、ノードA2の充電に要した時間の2倍の時間が経過した後に、再び“H”レベルに復帰する。このノードB2の電位レベルの立上りのエッジに応じて、遅延段1222を構成する、互いにカスケード接続された複数の遅延バッファ回路のそれぞれから所定の時間遅延した遅延信号が、内部制御信号発生回路26に対して出力される。

【0293】ここで、遅延段1104、1122、1204、1222はすべて同一の遅延時間を有するように構成されているものとする、内部制御信号発生回路26に与えられる遅延信号には以下に述べるような特徴があることになる。

【0294】すなわち、たとえば、遅延信号発生部1101aにおいては、外部クロック信号Ext、CLKの1サイクル目の立上りのエッジに応じて、遅延段1104の遅延時間に相当する時間 t_{pd} だけ経過した後、2サイクル目の立上りのエッジまでの期間において、スイッチSW1が導通状態となって、ノードA1が充電されている。その後、外部クロック信号Ext、CLKの2サイクル目の立上りのエッジに応じて、ノードA1がその充電に要した時間と同一の時間で、放電されて元の電位レベルに復帰する。その後、遅延段1122から遅延信号が出力される。すなわち、この遅延段1122からの遅延信号の出力は、外部クロック信号Ext、CLKの2サイクル目の立上りのエッジから所定時間経過後2サイクル目の終了までの期間において出力されることになる。

【0295】全く同様にして、遅延信号発生部1101bから出力される遅延信号は、3サイクル目の立上りのエッジから所定時間経過後3サイクル目の終了までの期間において出力される構成となっている。

【0296】図39は、図37に示した内部同期信号発生回路1100から出力される遅延信号をもとに、内部制御信号発生回路26から出力される内部制御信号に基づいて動作する同期型半導体記憶装置の動作を説明するタイミングチャートである。

【0297】外部クロック信号Ext、CLKの1サイクル目の立上りのエッジである時刻t1において、行アドレスAxがアドレスバッファに取込まれる。

【0298】外部クロック信号Ext、CLKの2サイ

57

クル目の立上がりのエッジから所定の時間経過した後、2サイクル目の終了まで遅延段1122の遅延時間に相当する期間遅延信号出力部1101aから遅延信号が出力される。

【0299】以後は同様にして、外部クロック信号Ext、CLKの各サイクルの立上がりのエッジから所定時間経過後各サイクルの終了時点までの期間において、遅延段1122および1222から交互に遅延信号が内部制御信号発生回路26に対して出力される。

【0300】以後は、内部制御信号発生回路26から出力される内部制御信号に基づいて、列アドレス信号Ayが取込まれ、それに応じて、選択されたメモリセルからの記憶情報が時刻t10における外部クロック信号Ext、CLKの立上がりのエッジの時点で外部に読出される。

【0301】以上説明したような構成により内部制御信号を発生する場合は、特に外部クロック信号Ext、CLKの周期が長くなった場合において、特に顕著な効果を有する。

【0302】すなわち、同期型半導体記憶装置は、その使用されるシステムによっては、使用されるシステムのクロック信号に応じて、その最高速度に近い周期で動作する場合から比較的動作に余裕のある周期で動作する場合まで幅広い周期にわたって使用される可能性がある。

【0303】したがって、最高速で動作する場合の規格のままで、動作周波数が低下した場合も動作させると、消費電力が増加する等の不都合が生じる場合がある。

【0304】以上の点をより詳しく説明するために、図40において、図39に示した場合の2倍の周期の外部クロック信号Ext、CLKで同期型半導体記憶装置が動作する場合のタイミングチャートを示す。

【0305】この場合も、基本的にその動作は、図39に示した場合と全く同様である。すなわち、外部クロック信号の各サイクルの終了時点から起算して遅延段1122または1222の遅延時間に相当する期間において内部制御信号が発生される構成となっている。

【0306】ここで、たとえば、外部クロック信号Ext、CLKの立上がりのエッジに応じて、内部制御信号発生回路26から内部制御信号が発生される場合について考えてみることにする。この場合は、列系の動作は外部クロック信号Ext、CLKの立上がりのエッジに応じて起動され、データ入出力端子32は各外部クロック信号Ext、CLKの比較的早い段階において、データが出力される。

【0307】その場合でも、データの読出は、次の外部クロック信号Ext、CLKの立上がりのエッジにおいて行なわれるため、出力回路30は、出力データの値を比較的長い期間にわたって保持する必要がある。すなわち、極端な場合ほぼ外部クロック信号Ext、CLKに近い時間だけ出力信号のレベルを保持していることが必

58

要となる。この場合、データ入出力端子32は外部回路と接続されているため、データ入出力端子32に出力されるデータの電位レベルによっては、外部回路に向かって電流が流出することとなり、出力回路30がその出力データの電位レベルを維持するために、余分な電力を消費する必要が生じる。

【0308】したがって、同期型半導体記憶装置として見ると、かえって、外部クロック信号Ext、CLKの周期が長くなった場合の方が消費電力が増大してしまう場合が生じることになる。

【0309】これに対して、図40に示したように、列系の動作を制御する内部制御信号が各クロック信号の終了時点から起算した所定の期間に出力される構成とすれば、データ入出力端子32にデータT0を出力した後、直後の次の外部クロック信号Ext、CLKの立上がりのエッジにおいて、外部にデータの読出が行なわれるので、出力回路30は長期間にわたって出力データのレベルを保持する必要がなく、たとえば、出力回路30が一定時間出力データのレベルを保持した後、データ入出力端子32をハイインピーダンス状態とすることで、データ入出力端子32を介して外部に電流が流出することを抑制することも可能となる。以上のような動作は、たとえば、図5に示した内部制御信号発生回路26から出力される内部制御信号のうち、特に出力バッファ制御信号や出力制御信号が、各外部クロック信号Ext、CLKのサイクルの終了時点から起算した所定の時間出力される構成とする場合において顕著な効果がある。

【0310】以上説明したとおり、実施の形態12の内部同期信号発生回路1100の構成によれば、外部クロック信号Ext、CLKの周期が長くなった場合においても、同期型半導体記憶装置の消費電力を低減することが可能となる。

【0311】

【発明の効果】請求項1記載の同期型半導体記憶装置は、ロウアドレスストロブ信号の活性化に応じて内部同期信号発生手段が同期動作を開始するので、スタンバイ状態における消費電力を低減することが可能である。

【0312】請求項2記載の同期型半導体記憶装置においては、列選択手段の列選択動作および記憶データの読出動作ならびにデータ出力手段の記憶データ出力動作が、内部クロック信号に応じて制御される構成となっているので、内部同期信号発生手段は、この一連の動作期間中のみに外部クロック信号に対して同期動作をすればよく、消費電力が低減される。

【0313】請求項3記載の同期型半導体記憶装置は、可変遅延手段の遅延量を制御する可変定電流供給手段からの出力電流が、可変定電流供給手段の出力ノードと接続される第1の定電流源の数および第2の定電流源の数の比により決定されるので、広い電流範囲にわたって、出力ノードに供給される定電流値を線形に変化させるこ

とが可能で、可変遅延手段から出力される内部クロック信号のジッタの発生を抑制することが可能である。

【0314】請求項5記載の同期型半導体記憶装置においては、請求項4記載の同期型半導体記憶装置の構成において、カスケード接続された遅延バッファ回路のそれぞれの出力をもとに内部制御信号が発生されるので、内部クロック信号を発生する構成部分と内部制御信号を発生する構成部分とを共用することが可能で、回路構成を簡略化することができる。

【0315】請求項6記載の同期型半導体記憶装置においては、外部クロック信号を逡倍した内部クロック信号に基づいて、動作するので、より高速なデータ出力動作が可能となる。

【0316】請求項7記載の同期型半導体記憶装置は、可変遅延手段の待機状態における動作電流が、待機動作電流供給手段からの所定の定電流値によって定まるため、予め設定した遅延時間で、内部同期信号発生手段を動作させることが可能である。

【0317】請求項8記載の同期型半導体記憶装置は、外部から与えられるレイテンシデータに基づいて、待機動作中の可変遅延手段の動作速度を設定できるので、外部クロック信号に対して、内部同期信号発生手段が同期動作を完了するまでの時間を短縮することが可能である。

【0318】請求項9記載の同期型半導体記憶装置は、テストモード期間中は、同期信号発生手段の遅延時間をスタンバイ動作電流値を調整することで所定の値に変化させることが可能であるので、同期型半導体記憶装置の最高速度でのテスト動作や加速試験等を容易に行なうことが可能となる。

【0319】請求項10記載の同期型半導体記憶装置においては、内部同期信号発生手段において、内部クロック信号を発生する可変遅延手段の遅延量を制御する可変定電流供給手段が階層的に構成されているので、外部クロック信号に対して正確に同期した内部クロック信号を発生することが可能となる。

【0320】請求項12記載の同期型半導体記憶装置は、請求項11記載の同期型半導体記憶装置の構成において、内部クロック信号を出力する可変遅延手段のスタンバイ時における遅延量を決定するスタンバイ動作電流が待機動作電流供給手段から供給される電流値により規定されるので、予め設定した所定の遅延時間で、スタンバイ期間中も可変遅延手段を動作させることが可能となる。

【0321】請求項13記載の同期型半導体記憶装置においては、可変遅延手段のスタンバイ状態における遅延量がレイテンシデータに応じて変化する構成となっているので、内部同期信号発生手段が、外部クロック信号に対して内部クロック信号を同期させるまでの時間を短縮することが可能である。

【0322】請求項14記載の同期型半導体記憶装置においては、テストモード期間中における可変遅延手段の遅延量を所定の値とすることが可能であるので、テストモード期間中において同期型半導体記憶装置をその最高速度で動作させたり、加速試験を行なうことが容易となる。

【0323】請求項15記載の同期型半導体記憶装置は、内部クロック信号を出力する可変遅延手段の遅延量と外部クロック信号との比較を、可変遅延手段を構成する、互いにカスケード接続された複数段の遅延バッファ回路の出力に基づいて算出し、可変遅延手段の遅延量を制御する構成としたので、外部クロック信号の1周期の期間における比較結果に応じて、内部クロック信号を外部クロック信号に同期させることが可能となる。

【0324】請求項17記載の同期型半導体記憶装置においては、可変遅延手段を構成する互いにカスケード接続された遅延バッファ回路のそれぞれの出力を受けて、内部制御信号を発生する構成としたので、同期信号発生手段の構成を内部制御信号を発生するための構成と共用することが可能で、回路構成を単純化することが可能である。

【0325】請求項21記載の同期型半導体記憶装置においては、内部同期信号発生手段は、内部クロック信号を出力する可変遅延手段および可変遅延手段の遅延量を制御する可変定電流供給手段のいずれもが階層的に構成されているので、外部クロック信号に対してより正確に内部クロック信号を同期させることが可能である。

【0326】請求項25記載の同期型半導体記憶装置は、内部クロック信号を出力する可変周波数発振手段の発振周波数を、可変定電流供給手段から出力される、内部クロック信号と外部クロック信号との位相差に対して線形に変化する定電流値により制御する構成としたので、内部クロック信号におけるジッタの発生を抑制することが可能である。

【0327】請求項30記載の同期型半導体記憶装置においては、外部クロック信号に同期した内部クロック信号を発生するべく制御された第1の可変遅延手段の遅延量に応じて、内部制御信号を発生する第2の可変遅延手段の遅延量が制御される構成となっているので、外部クロック信号の周波数に応じて、内部制御信号のタイミングを変化させることが可能で、高速な外部クロック信号に対しても安定な同期動作を実現することが可能である。

【0328】請求項31記載の同期型半導体記憶装置においては、内部同期信号発生手段において、可変周波数発振手段の発振周波数を制御する電位を出力するループフィルタ回路の出力ノードの電位レベルが、外部電源電位の供給開始に応じて、所定の電位レベルに予め充電されるので、外部クロック信号が入力された後、同期した内部クロック信号を出力するまでに要する時間を短縮す

61

ることが可能である。

【0329】請求項32記載の同期型半導体記憶装置は、外部クロック信号の各サイクルにおける終了時点から起算した所定の期間において、内部制御信号を発生することが可能で、外部クロック信号の周期が長くなった場合においても、出力するデータ値を長時間保持することが不要で、消費電力を低減することが可能である。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の内部同期信号発生回路100の構成を示す概略ブロック図である。

【図2】 本発明の実施の形態1の同期型半導体記憶装置1000の構成を示す概略ブロック図である。

【図3】 同期型半導体記憶装置1000の動作を説明するためのタイミングチャートであり、図3(a)は所定の外部クロック信号の周期で動作する場合を、(b)は、(a)の場合の1/2の周期で動作する場合の、(c)は、(a)の1/4の周期の外部クロック信号で動作する場合を説明するタイミングチャートである。

【図4】 同期型半導体記憶装置1000における主要な内部信号の時間変化を示すタイミングチャートである。

【図5】 同期型半導体記憶装置1000の内部制御信号発生回路26の構成を示す概略ブロック図である。

【図6】 本発明の実施の形態2の内部同期信号発生回路102の構成を示す概略ブロック図である。

【図7】 実施の形態2の同期型半導体記憶装置の動作を説明するタイミングチャートである。

【図8】 実施の形態2の同期型半導体記憶装置の別の動作モードを説明するためのタイミングチャートである。

【図9】 実施の形態2の同期型半導体記憶装置の動作を説明するためのタイミングチャートであり、(a)は、所定の外部クロック信号の周期で動作する場合を、(b)は、(a)の1/2の周期の外部クロック信号に同期して動作する場合の、(c)は、(a)の1/4の周期の外部クロック信号に同期して動作する場合の動作をそれぞれ示す。

【図10】 図9に示した動作について、より長期間にわたる動作を説明するためのタイミングチャートである。

【図11】 内部同期信号発生回路がフリーラン状態で動作している場合の同期型半導体記憶装置の動作を説明するためのタイミングチャートである。

【図12】 本発明の実施の形態3の内部同期信号発生回路200の構成を示す概略ブロック図である。

【図13】 コマンドレジスタ190の構成を示す概略ブロック図である。

【図14】 本発明の実施の形態4の内部同期信号発生回路300の構成を示す概略ブロック図である。

【図15】 本発明の実施の形態5の内部同期信号発生

62

回路400の構成を示す概略ブロック図である。

【図16】 内部同期信号発生回路400の動作を説明するためのタイミングチャートであり、(a)は、フリーラン状態における選択回路/判定回路170の動作を説明するための図であり、(b)は、遅延量を制御後の選択回路/判定回路170の動作を説明するための図である。

【図17】 選択回路/判定回路170の構成を示す概略ブロック図である。

10 【図18】 選択回路/判定回路170の動作を説明するためのタイミングチャートである。

【図19】 本発明の実施の形態6の内部同期信号発生回路500の構成を示す概略ブロック図である。

【図20】 内部同期信号発生回路500の動作を説明するためのタイミングチャートであり、(a)は、フリーラン状態における選択回路/判定回路170の動作を、(b)は、遅延量制御後の選択回路/判定回路170および選択回路172の動作を説明するための図である。

20 【図21】 本発明の実施の形態7の内部同期信号発生回路600の構成を示す概略ブロック図である。

【図22】 本発明の実施の形態8の内部同期信号発生回路700および内部制御信号発生回路26の構成を示す概略ブロック図である。

【図23】 内部同期信号発生回路700により制御される同期型半導体記憶装置の動作を説明するためのタイミングチャートである。

【図24】 図23に示した同期型半導体記憶装置の動作を説明するための他のタイミングチャートであり、

30 (a)は、所定の外部クロック信号の周期で動作する場合の、(b)は、(a)の1/2の周期で動作する場合の、(c)は、(a)の1/4の周期で動作する場合の動作をそれぞれ示す。

【図25】 図24に示した同期型半導体記憶装置の動作をより長期間にわたって示すタイミングチャートである。

【図26】 フリーラン状態で動作する同期型半導体記憶装置の動作を説明するためのタイミングチャートである。

40 【図27】 本発明の実施の形態9の内部同期信号発生回路720aの構成を示す概略ブロック図である。

【図28】 実施の形態9の内部同期信号発生回路720aの第1の変形例の内部同期信号発生回路720bの構成を示す概略ブロック図である。

【図29】 実施の形態9の内部同期信号発生回路720aの他の変形例の内部同期信号発生回路720cの構成を示す概略ブロック図である。

【図30】 本発明の実施の形態10の内部同期信号発生回路800の構成を示す概略ブロック図である。

【図31】 図30に示した差動増幅回路804の構成

64

される同期型半導体記憶装置の動作を説明するための第2のタイミングチャートである。

【図４１】 従来の同期型半導体記憶装置２０００の構成を示す概略ブロック図である。

【図4 2】 従来の同期型半導体記憶装置2000の動作を説明するタイミングチャートである。

【図43】 従来の内部同期信号発生回路50の構成を示す回路図である。

【図 4 4】 従来の内部同期信号発生回路 50 の動作を説明する図である。

【符号の説明】

2 外部クロック入力端子、4、6 外部制御信号入力端子、8 外部アドレス入力端子、10 メモリセルアレイ、12 ロウデコーダ、14 コラムデコーダ、16 センスアンプ+I/O回路、18 アドレスバッファ、20 クロックバッファ、22 RASバッファ、24 CASバッファ、26 内部制御信号発生回路、28 セレクタ回路、30 出力回路、32 データ入出力端子、50 従来の内部同期信号発生回路、100、102、200、300、400、500、600、700、800、850、900、1100 内部同期信号発生回路、1000 同期型半導体記憶装置。

2 外部クロック入力端子、4、6 外部制御信号入力

端子 8 外部アドレス入力端子 10 メモリセレクト

1.2 Γ 中 Σ 的 Γ -格 1.4 Γ 中 Σ 的 Γ -格 1

$$11 \quad 12 \quad 13 \quad 14 \quad 15 \quad 16 \quad 17 \quad 18 \quad 19 \quad 20 \quad 21 \quad 22 \quad 23 \quad 24 \quad 25 \quad 26 \quad 27 \quad 28 \quad 29 \quad 30 \quad 31 \quad 32$$

6 センサアンプ+I/O回路、18 アドレスバッフ

ア、20 クロックバッファ、22 RASバッファ、

2.4 CASバッファ、2.6 内部制御信号発生回路、

2.8 オシタタ回路 2.9 出力回路 2.10 ギータ入

出力端子 5、6 端子の出力同期信号発生回路 1、2

出力端子、50 従来の内部同期信号発生回路、10

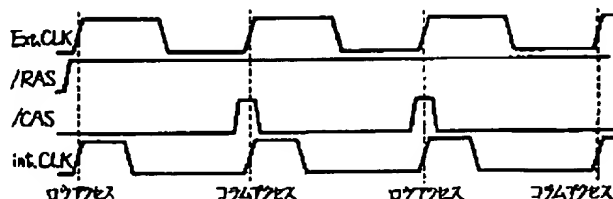
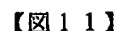
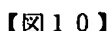
0、102、200、300、400、500、60

0、700、800、850、900、1100 内部

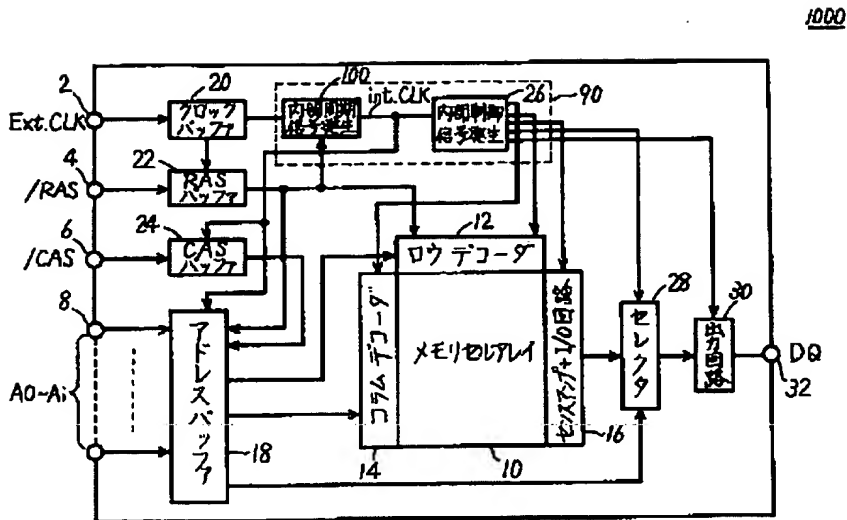
同期信号發生回路、1000 同期型半導体記憶裝置。

商務印書館發行 電話二二二二 商務印書館發行

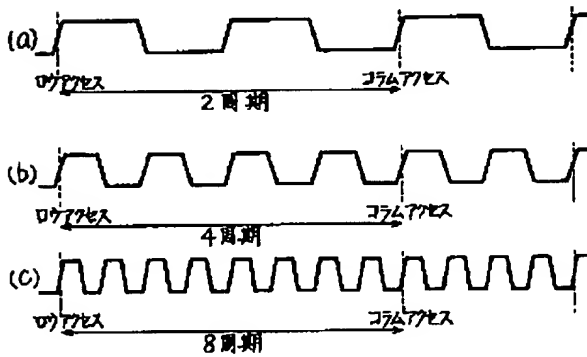
100



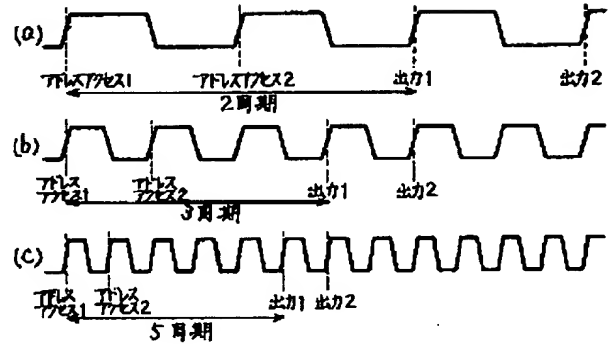
【図2】



【図3】



【図9】



【図4】

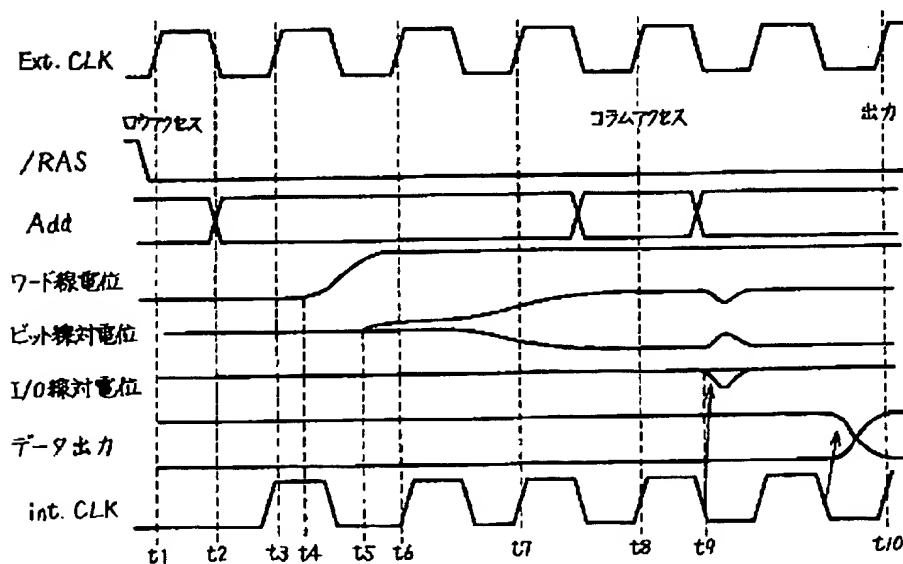
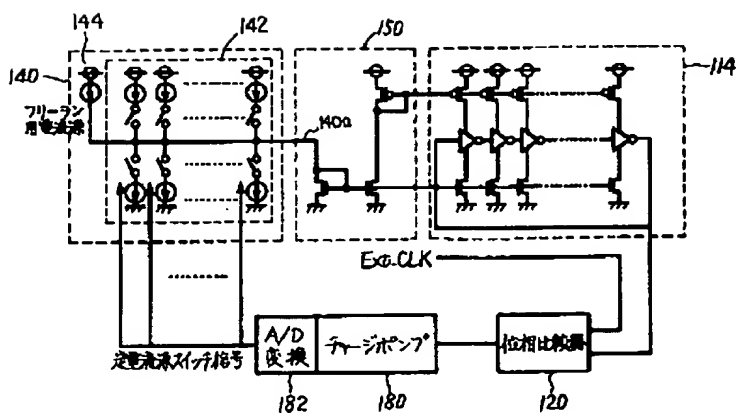


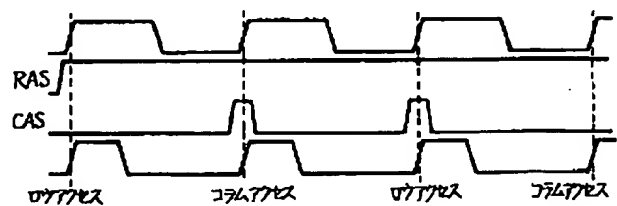
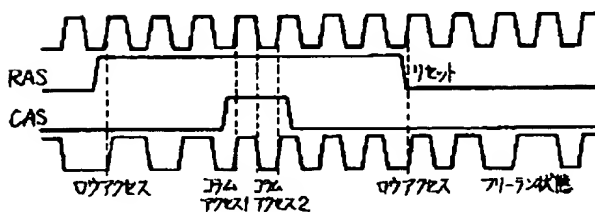
Figure 1 is a block diagram of a memory control circuit. The circuit is divided into several functional blocks and signal paths:

- Inputs:**
 - Ext. CLK (2):** External clock signal.
 - /RAS (4):** Inverse RAS signal.
- Flip-Flops and Delay Circuits:**
 - Flip-Flop 20:** Receives Ext. CLK and outputs to AND gate 42.
 - Flip-Flop 22:** Receives /RAS and outputs to AND gate 42.
 - AND Gate 42:** Receives outputs from Flip-Flops 20 and 22.
 - Internal Control Logic 100:** Receives output from AND gate 42 and controls various delay circuits.
 - Delay Circuits:**
 - 262:** Receives Ext. CLK and outputs to "Row Control" (ロウ系制御).
 - 264:** Receives /RAS and outputs to "Word Line Activation" (ワード線活性).
 - 266, 268, 270:** Part of the "CAS input delay" (CAS入力後の1サイクル目) path.
 - 272, 274:** Part of the "CAS input delay" (CAS入力後の2サイクル目) path.
 - 276:** Part of the "CAS input delay" (CAS入力後の3サイクル目) path.
- Control Signals and Functions:**
 - Row Control (ロウ系制御):** Controls the row address decoder.
 - Word Line Activation (ワード線活性):** Controls the word line.
 - Sense Operation (センス動作):** Controls the sense amplifiers.
 - CAS Input Delay (CAS入力後の1, 2, 3 cycles):** Controls the CAS input delay.
 - Address Decoder (アドレスデコーダ):** Controls the column address decoder.
 - Column Selection (コラム選択):** Controls the column selection.
 - Preamplifier Gain (プリアンプ増幅):** Controls the preamplifier gain.
 - Bus Control (バス制御):** Controls the bus.
 - Select (セレクト):** Controls the select signal.
 - Output Data Latch (出力前データラッチ):** Controls the output data latch.
 - Output Buffer Control (出力バッファ制御):** Controls the output buffer.
 - Output (出力):** The final output signal.

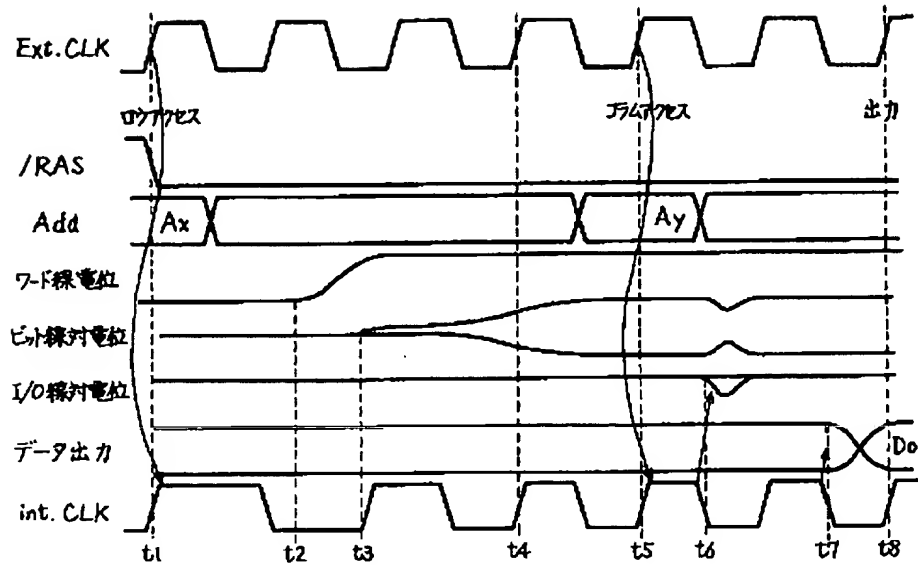
102



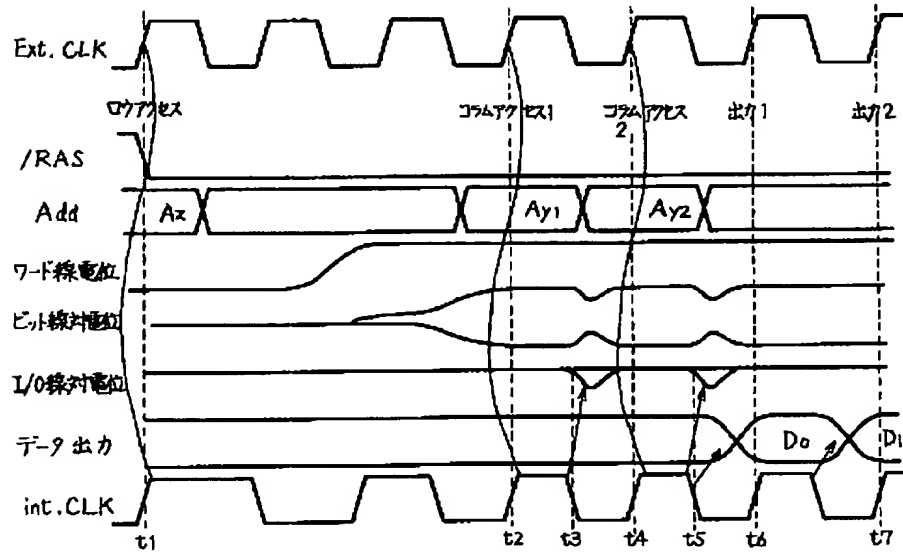
【図 26】



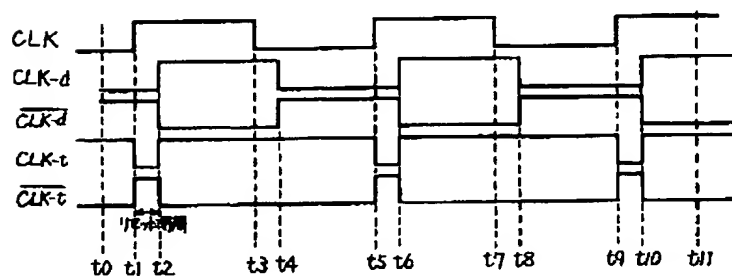
【図7】



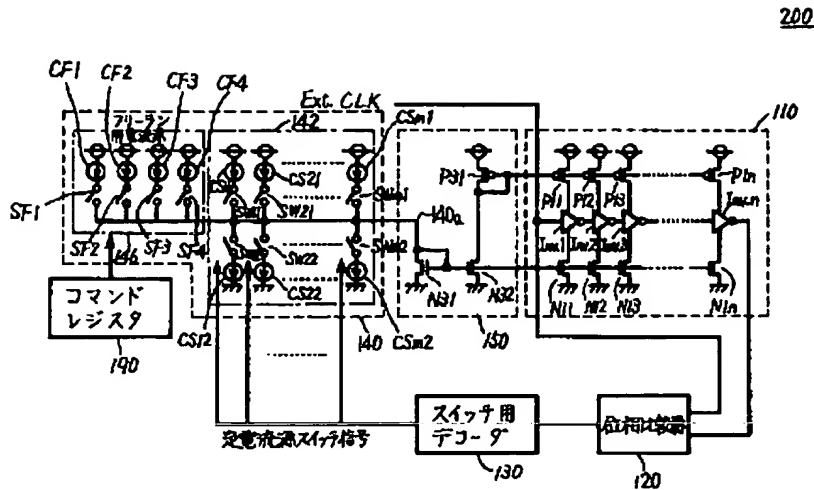
【図8】



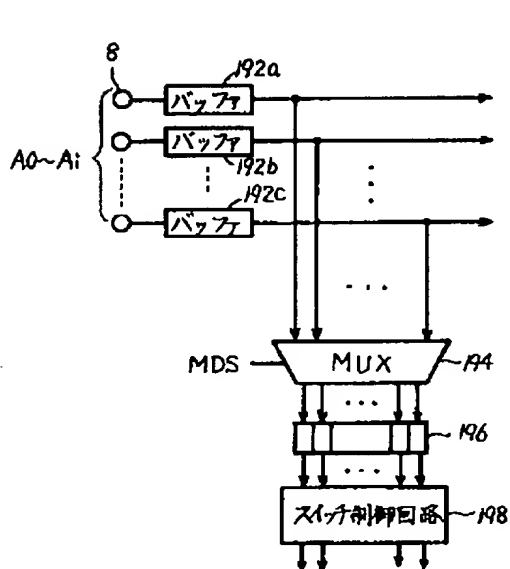
【図18】



【図 1 2】

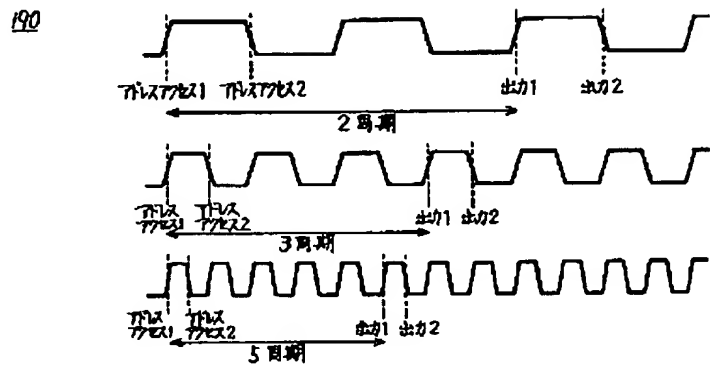


【図 1 3】

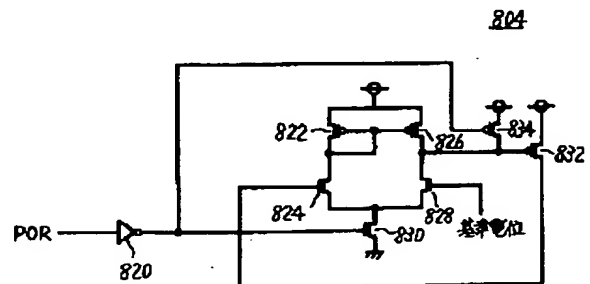
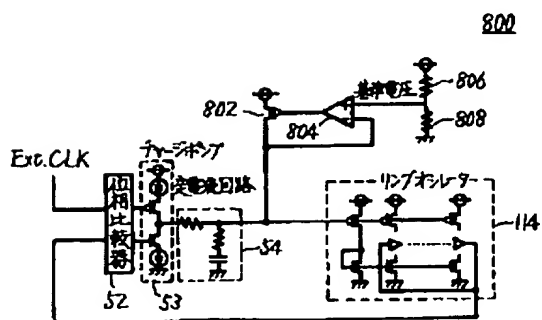


【図 3 0】

【図 2 4】



【図 3 1】



300

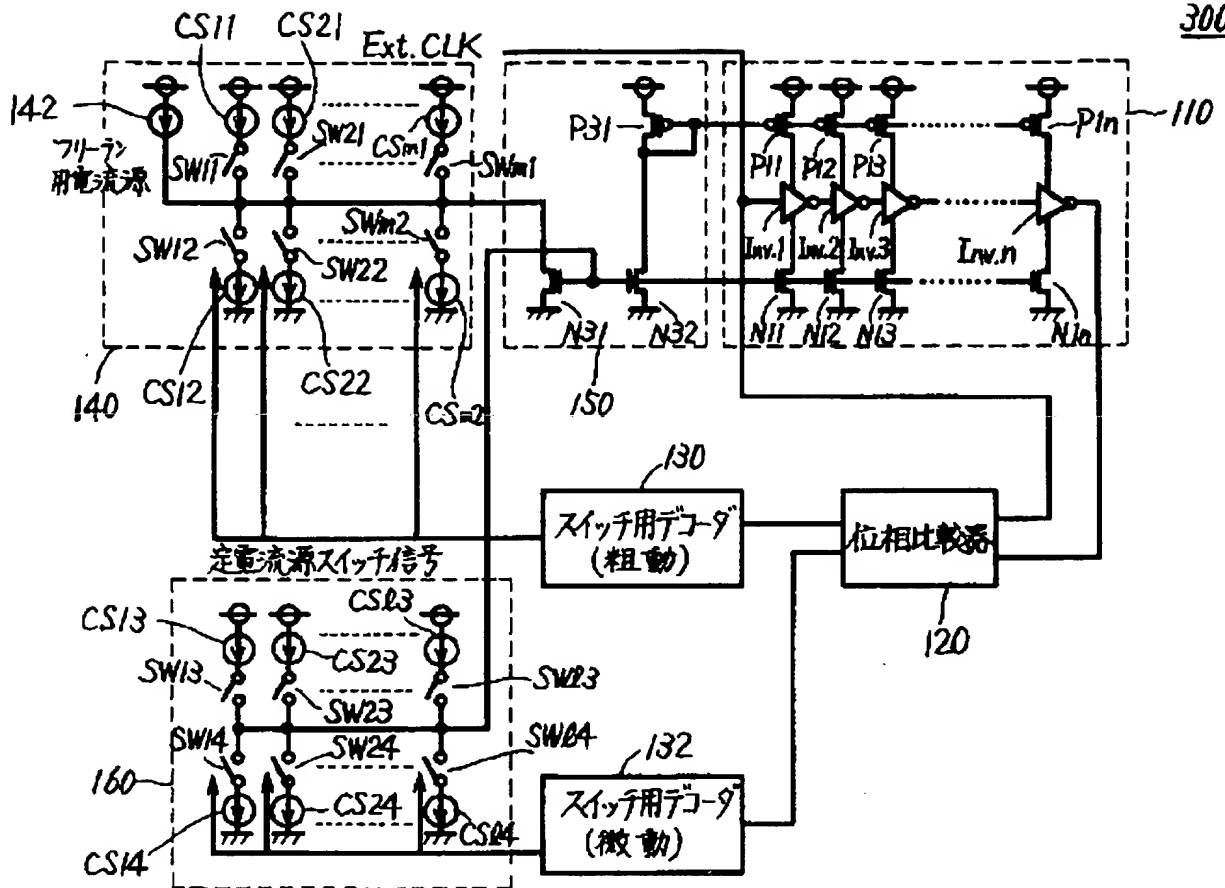
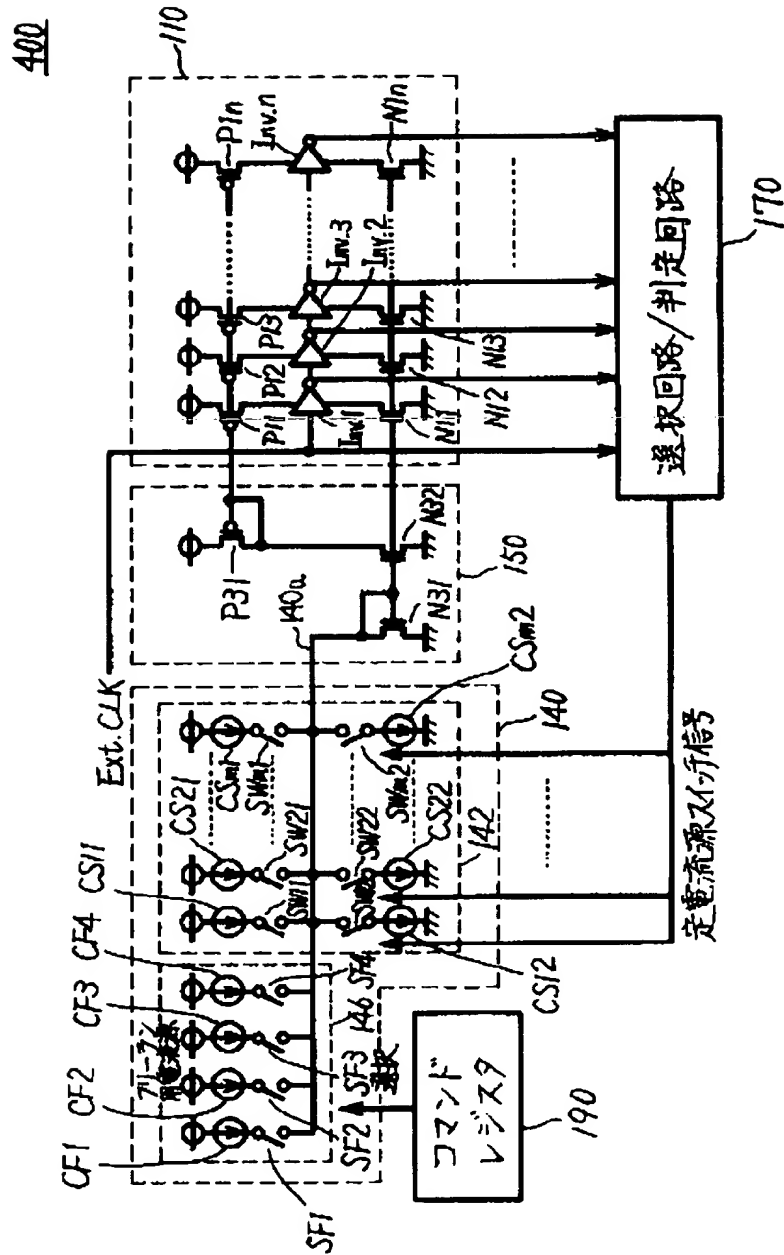


Figure 1 shows two timing diagrams, (a) and (b), illustrating the relationship between the external clock (EXT. CLK) and the internal delay (内部遅延段).

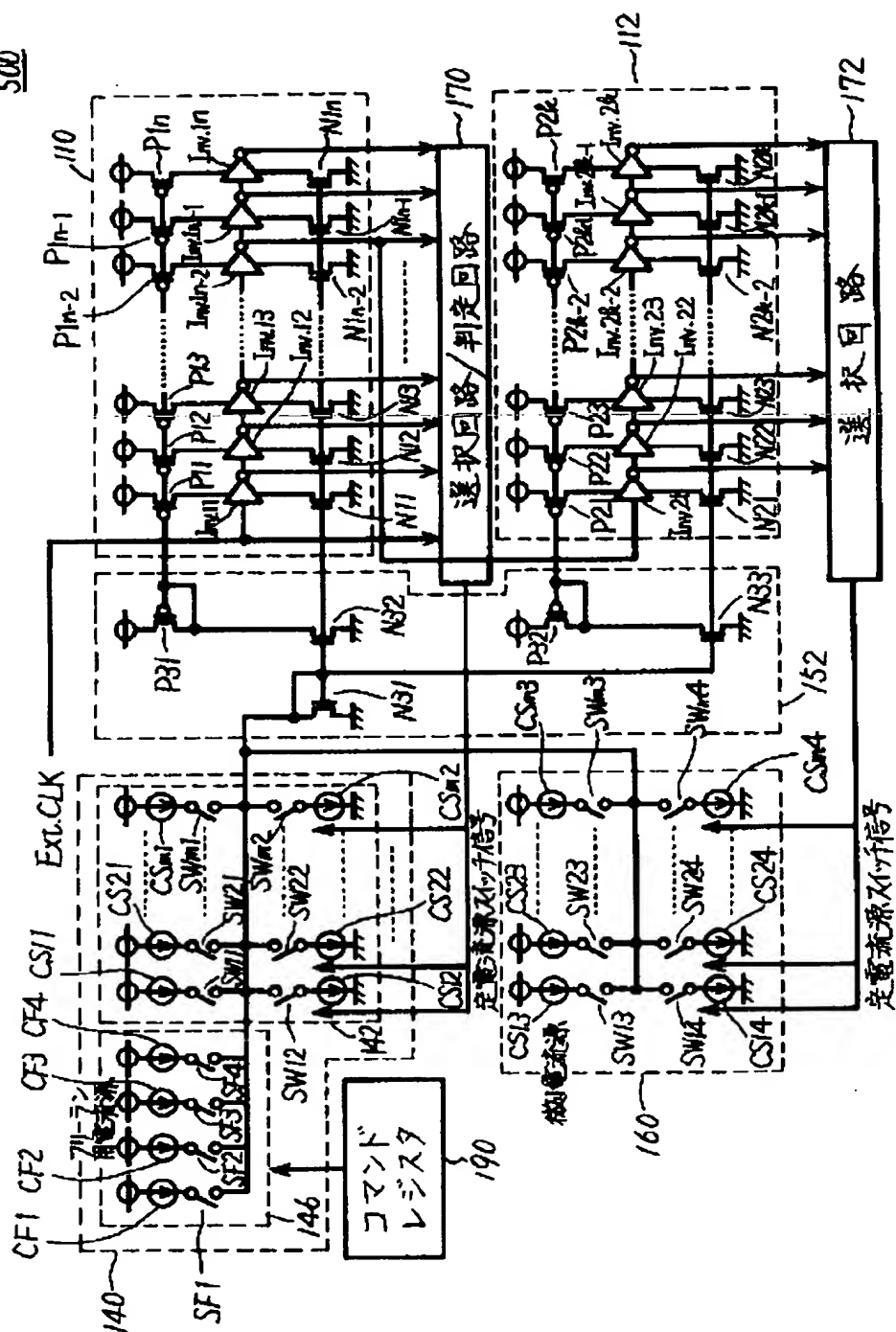
Diagram (a) shows the initial state (最初のサイクル). The external clock (EXT. CLK) is active (高レベル) during the period labeled "外部入力クロックが活性化する段の遅延の指定値". The internal delay (内部遅延段) is shown as a shaded region. The delay is specified as "X-Yの遅延段". The text below the diagram states: "たとえ2個の多重化回路が用いられているとしても".

Diagram (b) shows the next state (次のサイクル). The external clock (EXT. CLK) is active during the period labeled "増大された多重化回路が用いられている段の遅延". The internal delay (内部遅延段) is shown as a shaded region. The delay is specified as "余裕分 (アドレス線には影響を及ぼさない分)".

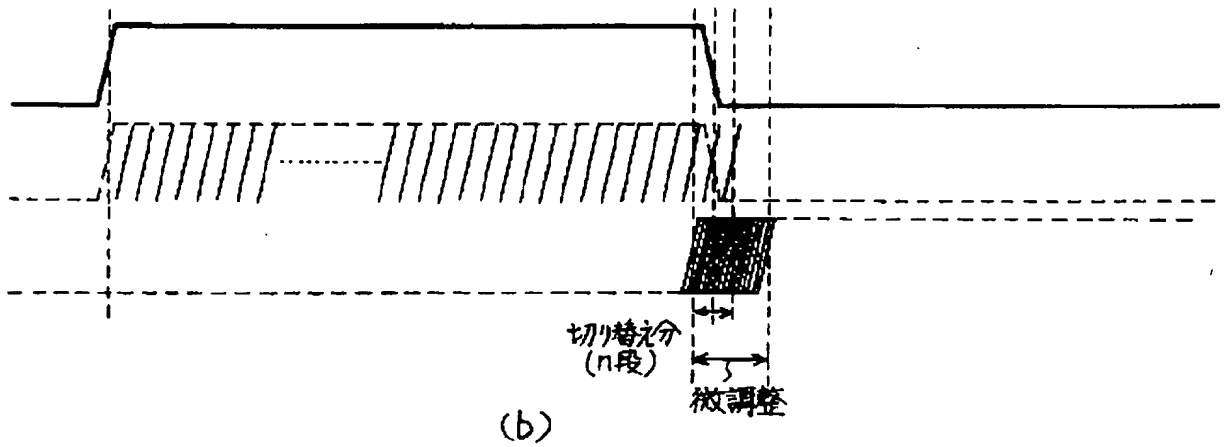
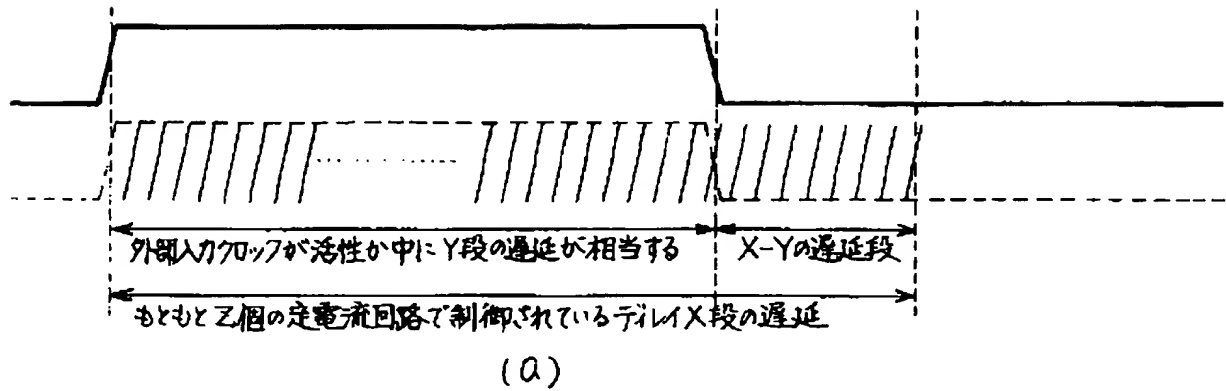
【図15】



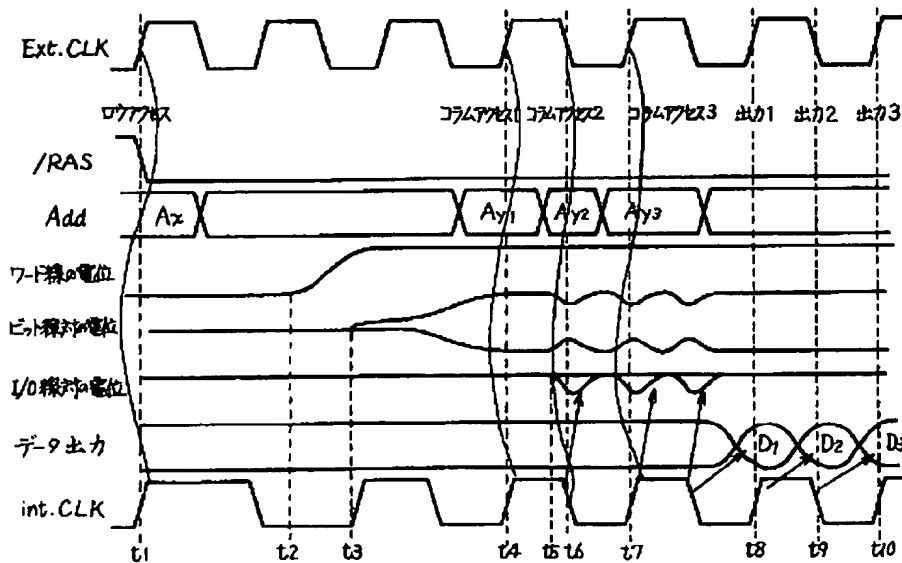
005



【図20】

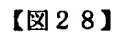


【図23】

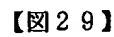


[illegible]

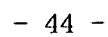
7200



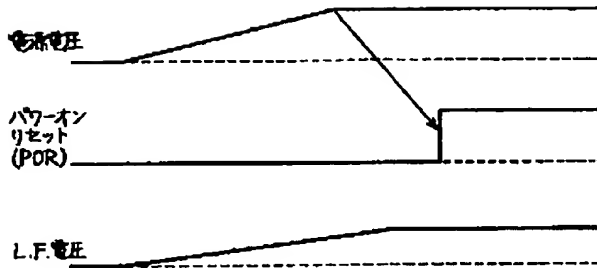
720b



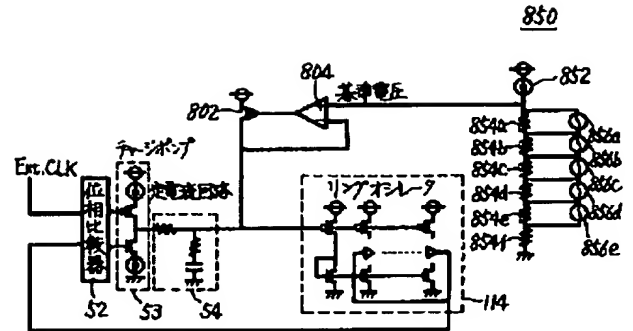
720c



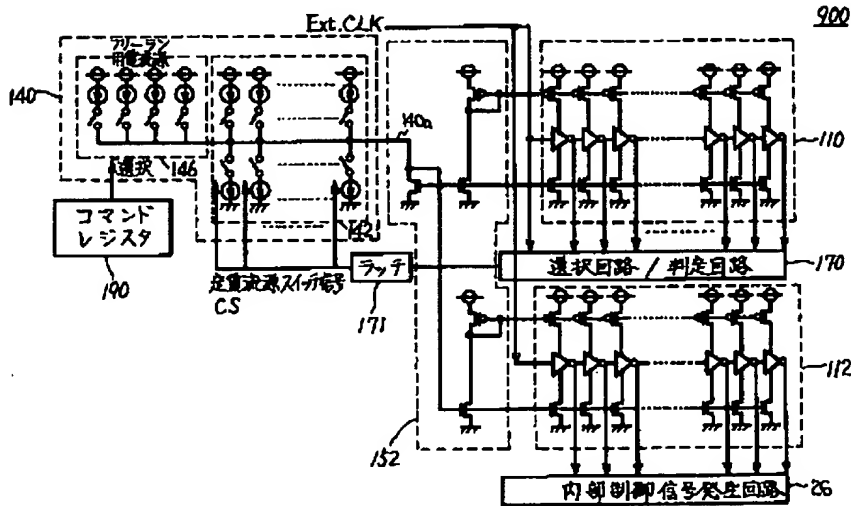
【図32】



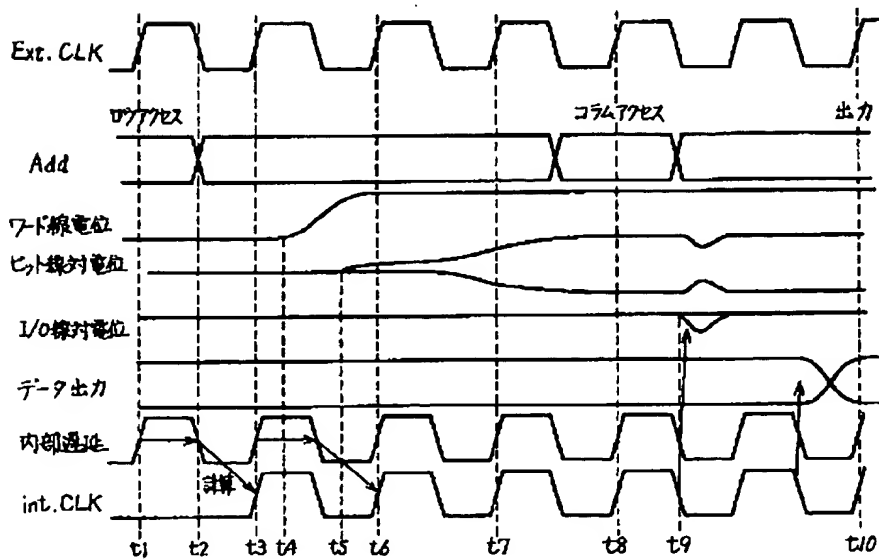
【図33】



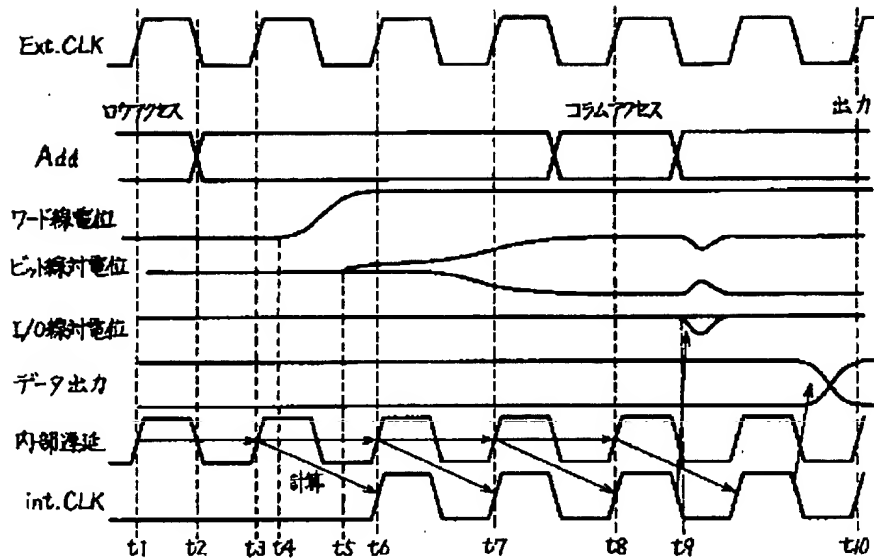
【図34】



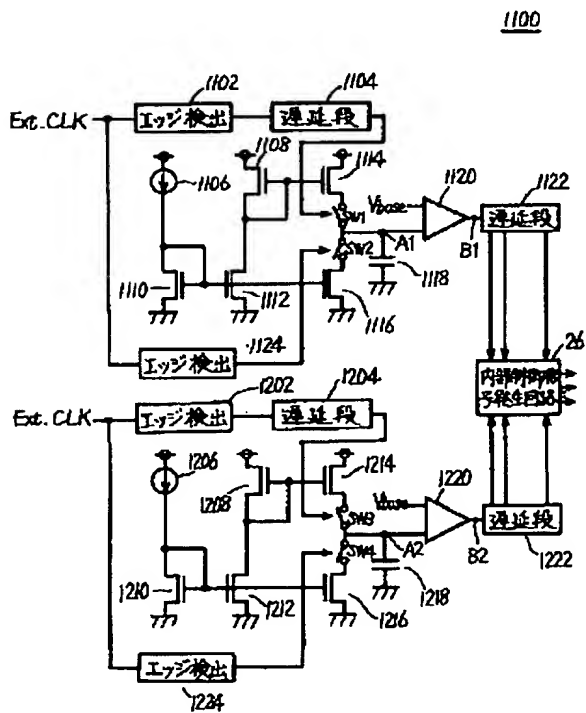
【図35】



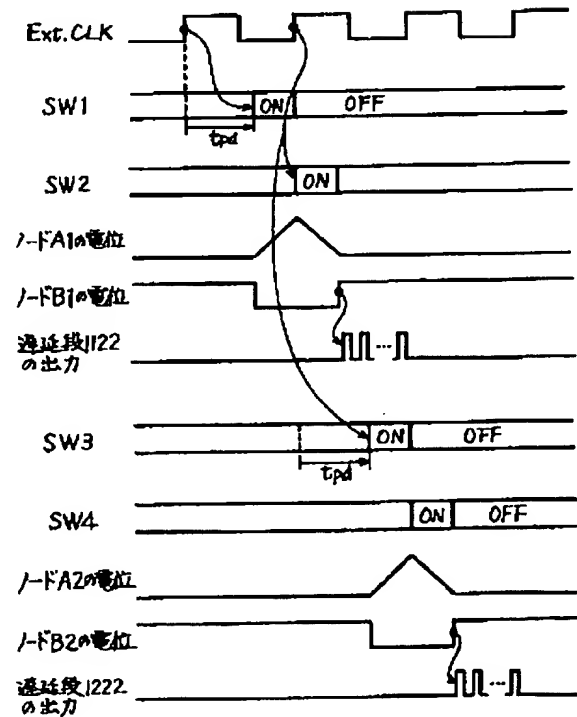
【図 3 6】



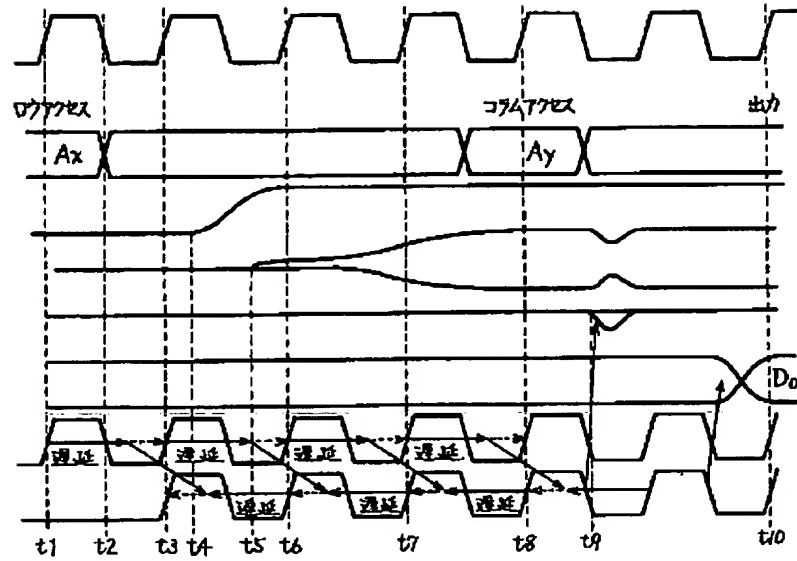
【図 3 7】



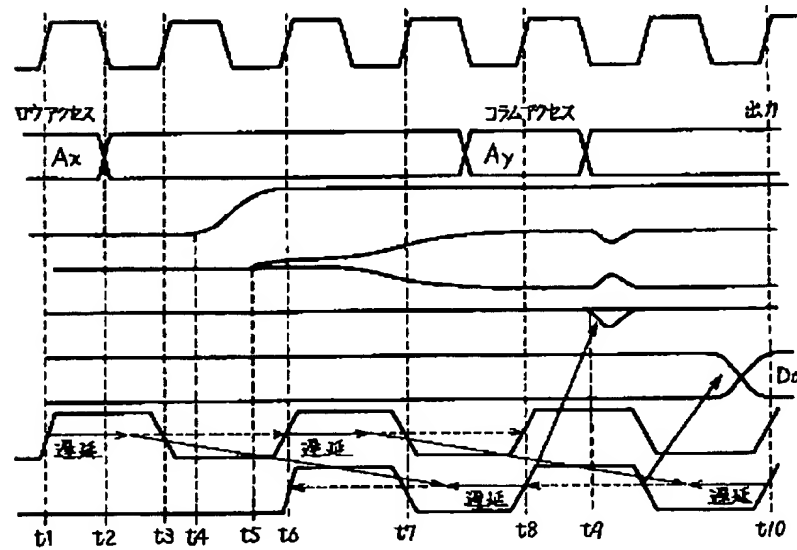
【図 3 8】



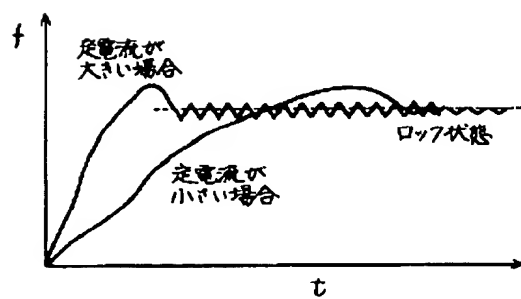
【図39】



【図40】

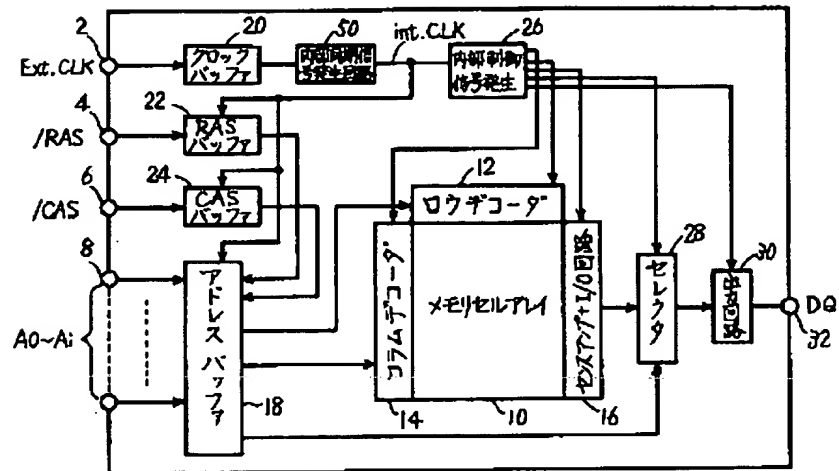


【図44】

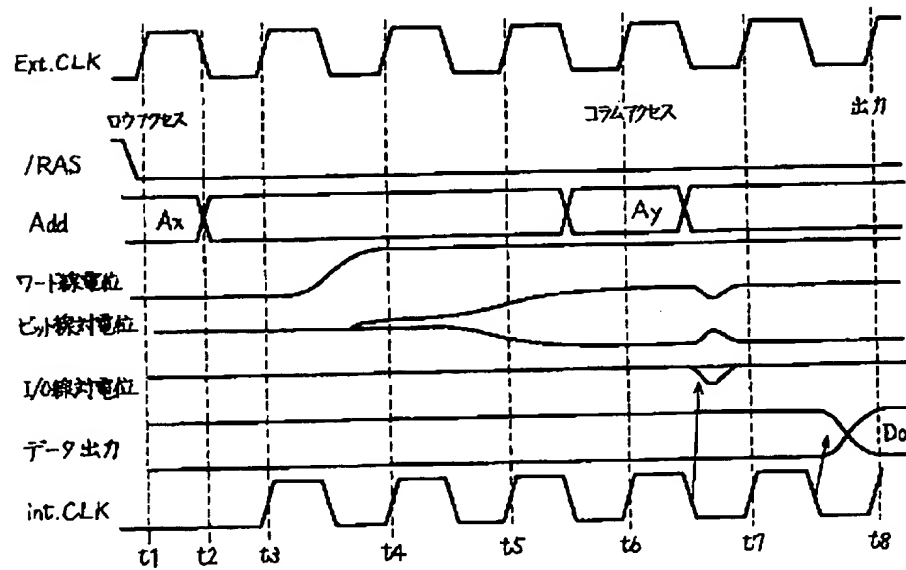


【図 4 1】

2000



【図 4 2】



【図 4 3】

50